

DISPLAY DEVICE AND DISPLAY METHOD

Patent number: JP2003150133

Publication date: 2003-05-23

Inventor: NUMAO KOJI

Applicant: SHARP CORP

Classification:

- international: G09G3/36; G02F1/133; G02F1/1368; G09F9/30;
G09F9/35; G09G3/20; G09G3/30; H05B33/14

- european:

Application number: JP20020119668 20020422

Priority number(s):

Also published as:



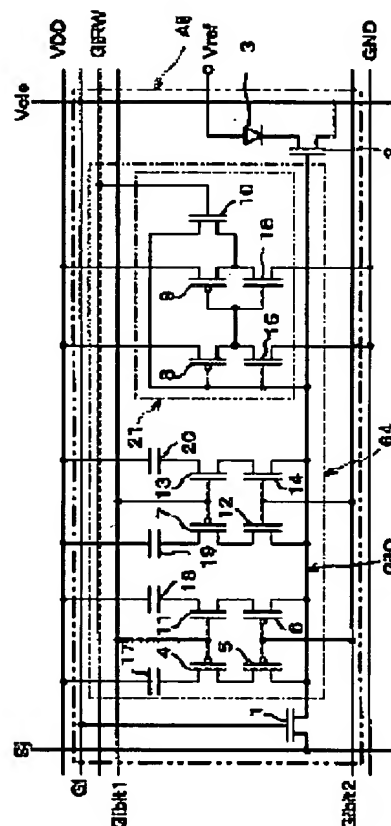
US2003058200 (A1)

Report a data error here

Abstract of JP2003150133

PROBLEM TO BE SOLVED: To reduce the number of TFTs necessary for 1-bit memory element to reduce the circuit scale of a driver arranged in the periphery of a display screen.

SOLUTION: The display device is provided with electro-optical elements consisting of n-type TFTs 2 and organic EL elements 3 arranged at the cross parts of data wiring Sj and gate wiring Gi, capacitors 17-20 for outputting potentials for display-driving the electro-optical elements, a buffer circuit 21 for outputting the potentials inputted from the capacitors 17-20, p-type TFTs 4-7 and n-type TFTs 11-14 arranged between the capacitor 17-20 and the data wiring Sj, and an n-type TFT 1 arranged between the data wiring Sj and p-type TFTs 4-7 as well as n-type TFTs 11-14, and the output terminals of the capacitors 17-20 are connected with the output terminals of the buffer circuit 21.



Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

(11)特許出願公開番号

特開2003-150133

(P2003-150133A)

(43)公開日 平成15年5月23日(2003.5.23)

| (51)Int.Cl. ⁷ | 識別記号 | F I | テーマコード* (参考) |
|--------------------------|--------|---------------|-----------------|
| G 0 9 G 3/36 | | C 0 9 G 3/36 | 2 H 0 9 2 |
| G 0 2 F 1/133 | 5 0 5 | C 0 2 F 1/133 | 5 0 5 2 H 0 9 3 |
| | 5 5 0 | | 5 5 0 3 K 0 0 7 |
| | 1/1368 | | 5 C 0 0 6 |
| G 0 9 F 9/30 | 3 3 8 | C 0 9 F 9/30 | 3 3 8 5 C 0 8 0 |

審査請求 未請求 請求項の数 9 O L (全 28 頁) 最終頁に続く

(21)出願番号 特願2002-119668(P2002-119668)

(22)出願日 平成14年 4月22日(2002. 4. 22)

(31)優先權主張番号 特願2001-262365(P2001-262365)

(32)優先日 平成13年8月30日(2001.8.30)

(33)優先権主張国 日本 (J P)

(71)出題人 000003049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 沼尾 孝次

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74) 代理人 100080034

弁理士 原 謙三

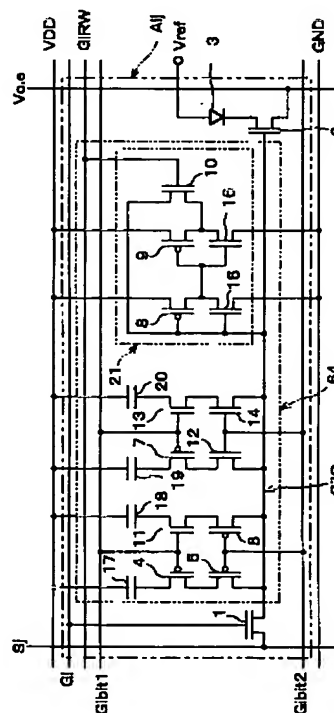
[最終頁に続く](#)

(54) 【発明の名称】 表示装置および表示方法

(57) 【要約】

【課題】 メモリ素子1bit当りに必要なTFTの個数を減らし、表示画面の周辺に配置するドライバ回路規模を小さくする。

【解決手段】 データ配線Sjとゲート配線Giとの交差部に配置されているn型TFT2と有機EL素子3とからなる電気光学素子と、前記電気光学素子を表示駆動する電位を出力するコンデンサ17〜20と、コンデンサ17〜20により入力された電位を出力するバッファ回路21と、コンデンサ17〜20とデータ配線Sjとの間に配置されているp型TFT4〜7およびn型TFT11〜14と、データ配線Sjとp型TFT4〜7およびn型TFT11〜14との間に配置されているn型TFT1とを備えており、コンデンサ17〜20の出力端子とバッファ回路21の出力端子とが接続されている。



【特許請求の範囲】

【請求項1】第1の配線と第2の配線との交差部にマトリックス状に配置された電気光学素子と、
前記電気光学素子を表示駆動する電位を保持する電位保持手段と、
前記電位保持手段により入力された電位を出力するバッファ回路と、
前記電位保持手段と直列に配置されている第1のスイッチング素子と、
前記第1のスイッチング素子または電位保持手段と前記第1の配線との間に配置されており、前記第2の配線により導通状態が制御される第2のスイッチング素子とを備えており、
前記電位保持手段が各電気光学素子に対して複数個配置されており、前記複数個の電位保持手段と前記バッファ回路との出力端子とが接続されていることを特徴とする表示装置。

【請求項2】第1の配線と第2の配線との交差部にマトリックス状に配設された電気光学素子と、
前記電気光学素子を表示駆動する電位を出力する電位保持手段と、
前記電位保持手段により入力された電位を出力するバッファ回路と、
前記電気光学素子またはバッファ回路と電位保持手段との間に配置されている第1のスイッチング素子と、
前記第1のスイッチング素子と前記第1の配線との間に配置されており、前記第2の配線により導通状態が制御される第2のスイッチング素子とを備えており、
前記電位保持手段が各電気光学素子に対して複数配置されており、前記複数の電位保持手段の出力端子と前記バッファ回路の出力端子とが接続されていることを特徴とする表示装置。

【請求項3】前記バッファ回路の入力端子と出力端子との間に第3のスイッチング素子が配置されていることを特徴とする請求項1または2に記載の表示装置。

【請求項4】前記第1のスイッチング素子は、前記第3のスイッチング素子が非導通状態のときに、前記複数の電位保持手段を切り替えるものであり、
前記バッファ回路は、前記第3のスイッチング素子が非導通状態のときに、該バッファ回路の入力端子の電位により該バッファ回路の出力端子の電位を設定するものであり、
前記第3のスイッチング素子は、前記バッファ回路の出力端子の電位が設定されたことに応じて導通状態とされるものであることを特徴とする請求項3に記載の表示装置。

【請求項5】前記バッファ回路は、入力電圧の振幅を増幅して出力するものであり、
前記第3のスイッチング素子のゲート電圧の振幅が前記バッファ回路の出力電圧の振幅よりも小さいことを特徴

とする請求項3または4に記載の表示装置。

【請求項6】前記第1の配線と前記第2の配線との交差部に、前記バッファ回路の電源配線間を容量性結合する容量性結合手段が設けられていることを特徴とする請求項1～5のいずれか1項に記載の表示装置。

【請求項7】請求項1乃至6のいずれか1項に記載の表示装置を用いた表示方法であって、
前記第2のスイッチング素子が導通状態のとき、前記第1の配線の電位に対応して前記電位保持手段の電位を設定する電位設定ステップと、
前記第2のスイッチング素子が非導通状態のとき、前記電位保持手段の電位を前記バッファ回路の入力端子へ印加し、その印加された電位に対応する前記バッファ回路の出力により前記電位保持手段を再充電する再充電ステップと、
前記電位保持手段または前記バッファ回路または前記第1の配線の出力により、前記電気光学素子の表示状態を制御する第1の表示状態制御ステップとを含んでなることを特徴とする表示方法。

【請求項8】請求項7に記載の表示方法であって、
前記第2のスイッチング素子が非導通状態のとき、前記第1のスイッチング素子を用いて複数の電位保持手段から1つの電位保持手段を選択する電位保持手段選択ステップと、
前記第1のスイッチング素子を用いて前記バッファ回路へ電位を入力する電位保持手段を切り替えることにより、前記電気光学素子の表示状態を制御する第2の表示状態制御ステップとを含んでなることを特徴とする表示方法。

【請求項9】請求項1乃至6のいずれか1項に記載の表示装置を用いた表示方法であって、
前記第2のスイッチング素子が導通状態のときに、前記複数の電位保持手段の電位を2値の電位のいずれかに設定するとともに、前記電気光学素子の表示状態を2つ以上の状態のいずれかに設定する表示状態設定ステップと、
前記第2のスイッチング素子が非導通状態のときに、前記複数の電気光学素子の表示状態を前記電位保持手段に設定された電位に対応した状態に設定する表示状態再設定ステップとを含むことを特徴とする表示方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はTFT (Thin Film Transistor) シリコン基板を用いた電気光学素子を用いた表示装置およびこの表示装置を用いた表示方法に関し、特に電気光学素子として有機EL (Electro Luminescence) や液晶を用いた表示装置および表示方法に関するものである。

【0002】

【従来の技術】近年、液晶表示装置、EL表示装置、F

ED (Field Emission Display) 表示装置等の表示装置の開発が盛んに行われている。なかでも、液晶表示装置やEL表示装置は、その軽量性、低消費電力性を活かし、携帯電話や携帯型のパーソナルコンピュータ等の表示装置として注目されている。一方、これらの携帯機器では、搭載される機能が増加の一途を辿り、表示装置に対して、更なる小型軽量化、低消費電力化が強く要求されている。

【0003】この表示装置の低消費電力化のための手法として従来より用いられている技術である特開平8-194205号公報には、各画素毎にメモリ機能をもたせ、その記憶内容に対応した基準電圧をスイッチングすることで、同一画素を表示する場合の周期的な再書き込みを停止し、駆動回路の消費電力を低減することが示されている。

【0004】すなわち、図14に示すように、第1のガラス基板上には画素電極202がマトリクス状に配置されており、その画素電極202間には走査線203が、該走査線203と直交する方向に信号線204が配置されている。また、走査線203と平行し、参照線205が配置されている。走査線203と信号線204との交差部には後述するメモリ素子206が設けられ、該メモリ素子206と画素電極202との間にスイッチ素子207が介在するように設けられている。

【0005】前記走査線203は1垂直周期毎に走査線ドライバ208によって選択的に制御され、前記信号線204は1水平周期毎に信号線ドライバ209によって一括して制御され、前記参照線205は参照線ドライバ210によって一括して制御される。前記第1のガラス基板上には所定距離だけ離れて第2のガラス基板が対向配置されており、該第2のガラス基板の対向面には対向電極が形成されている。そして、2つの基板の表面には配向膜が形成され、この2つのガラス基板間に、表示材料として、電気光学素子である液晶が封入されている。

【0006】図15は、図14における各画素部の構成を詳細に示す回路図である。相互に直交するように形成された走査線203と信号線204との交差部に、2値データを保持する前記メモリ素子206が形成されており、このメモリ素子206には、保持されている情報を出力する出力部が設けられている。この出力部には、3端子のスイッチ素子207が接続されている。メモリ素子206に保持されている情報は、前記スイッチ素子207を介して出力される。スイッチ素子207の制御入力端には前記メモリ素子206からの出力が与えられ、一端には前記参照線205の基準電圧 V_{ref} が与えられ、他端には前記画素電極1から液晶層215を介して前記対向電極216の共通電圧 V_{com} が与えられる。したがって、メモリ素子206の出力に応じてスイッチ素子207の一端から他端への抵抗値が制御され、液晶層215のバイアス状態を調整している。

【0007】この図15に示す構成では、メモリ素子には、Poly-Si (ポリシリコン) TFTから成る2段のインバータ212、213を用い、正帰還された形のメモリ回路、すなわちスタティック型メモリ素子が用いられている。ここで、前記走査線203の走査電圧 V_g がハイレベルとなり、該走査線203が選択されると、TFT211が導通状態となり、信号線204から与えられる信号電圧 V_{sig} は、該TFT211を介してインバータ212のゲート端子へ入力される。このインバータ212の出力は、インバータ213で反転されて該インバータ212のゲート端子に再入力され、こうしてTFT211が導通状態のときにインバータ212に書き込まれたデータが、同極性で該インバータ212に帰還され、該TFT211が再度導通状態となるまで保持される。前記説明したように、前記公報には、液晶表示装置の画素にスタティック型メモリ素子を1個配置した構成が開示されている。

【0008】また、このようにポリシリコンTFTを用いてスタティック型メモリ素子を画素毎に作り込む別の構成として、有機ELの画素にスタティック型メモリ素子が複数配置された構成が特開平2-148687 (特許2729089) 号公報に開示されている。図16は、その従来技術における各画素部の構成を示す回路図である。この従来技術では、各画素は、複数のメモリセル m_1, m_2, \dots, m_n (図16では、 $n=4$) と、定電流回路225と、前記各メモリセル $m_1 \sim m_n$ のデータによって制御され、前記定電流回路225の基準電流を作成するトランジスタ $q_1 \sim q_n$ と、前記定電流回路225からの電流で駆動される有機EL素子226とを備えて構成されている。同じ画素に対応したメモリセル $m_1 \sim m_n$ には、共通にロー電極制御信号 v_1 が与えられ、また個別に n ビットのコラム電極制御信号 $b_1 \sim b_n$ が与えられる。

【0009】定電流回路225は、TFT223、224を用いたカレントミラー回路であるので、有機EL素子226を流れる電流は、相互に並列に接続されたトランジスタ $q_1 \sim q_n$ を流れる電流の総和である前記基準電流によって決定され、またこのトランジスタ $q_1 \sim q_n$ を流れる電流は、メモリセル $m_1 \sim m_n$ に保存されたデータによって決定されるトランジスタ $q_1 \sim q_n$ のゲート電圧により設定される。

【0010】各メモリセル $m_1 \sim m_n$ は、たとえば図17に示すように構成されている。すなわち、前記ロー電極制御信号 v_1 の入力を反転させるCMOSインバータ228と、保持用のCMOSインバータ230と、帰還用のCMOSインバータ231と、前記ロー電極制御信号 v_1 および反転用のCMOSインバータ228の出力に応答して、前記保持用のインバータ230のゲートに、前記コラム電極制御信号 $b_1 \sim b_n$ を入力するか、帰還用のインバータ231の出力を帰還するのかを制御

するMOS伝送ゲート227、229とを備えて構成されている。したがって、前記ロー電極制御信号v1が選択状態のとき、MOS伝送ゲート227が導通状態となり、MOS伝送ゲート229が非導通状態となるので、コラム入力信号BnがMOS伝送ゲート227を通しCMOSインバータ230のゲートに入力される。また、前記ロー電極制御信号v1が非選択状態のとき、MOS伝送ゲート227が非導通状態、MOS伝送ゲート229が導通状態となるので、CMOSインバータ231の出力がMOS伝送ゲート229を通してCMOSインバータ230に帰還する。したがって、このメモリセルm1～mnは、CMOSインバータ230の出力をCMOSインバータ231及びMOS伝送ゲート229を通してCMOSインバータ230のゲートに帰還させるスタティック型のメモリ素子構成となっている。

【0011】このように特開平2-148687（特許登録2729089）号公報には、有機EL表示装置の画素にスタティック型のメモリ素子を複数配置した構成が開示されている。なお、ポリシリコン基板を用いた表示装置では、電気光学素子を駆動するためのドライバ回路もポリシリコンTFTを用いて形成することができる。

【0012】

【発明が解決しようとする課題】しかしながら、特開平8-194205号公報記載の従来技術では、図15に示すように、1つの画素が、液晶層215と、液晶駆動用のスイッチ素子207と、1bitのメモリ素子206とから構成されている。したがって、このメモリ206を用いて1つの液晶素子当たり白黒2値表示はできても、3階調以上の多階調表示はできないという問題がある。また、これらのメモリ素子206は静止画像表示を行うことはできるが、動画像表示では用いられないという問題もある。従って、特開平8-194205号公報の従来技術では、多階調表示および動画像表示を行う為に表示画面の周辺に配置するドライバ回路規模が画素にメモリ素子を配置しない表示装置と変わらない、すなわちドライバ回路規模を小さくできないという問題がある。

【0013】この点、特開平2-148687（特許登録2729089）号公報の従来技術のように、画素に配置された複数のスタティック型のメモリ素子m1～mnを用いて階調表示する場合、多階調表示時や動画像表示時にこの複数のメモリ素子を用いD/A変換するため、ドライバ回路側にD/A変換回路が必要なくなり、表示画面の周辺に配置するドライバ回路規模を小さくすることができる。

【0014】しかし、図16に示すように、メモリ素子m1～mnのそれぞれに10個のTFTが使われており、階調表示を行うために必要なTFTの数が非常に多くなるという問題がある。ここで、仮にインバータ2個と選択用TFT2個の合計6個のTFTによりメモリ素

子m1～mnのそれぞれを構成したと仮定して、4bit階調表示を行うために必要な一画素当りのTFTの数を計算する。すると、メモリセル当たり必要なTFTの個数にbit数を乗じた個数、つまりメモリセル当たり必要なTFTの個数(6個)×bit数(4bit)=24個となる。これに加えて図16に示すように、階調表示を行うためのTFTもさらに必要である。

【0015】ここで、例えば100DPI（ドット/インチ）程度の表示装置を考えると、その画素サイズは250μm角となる。この画素サイズにRGB3色のドットを配置する必要があるため、1ドット当たり前記個数のTFTを配置することは、現状の設計ルール(4～2[μm]ルール)のポリシリコンプロセスでは、極めて困難である。

【0016】一方、メモリ素子としてコンデンサを用いるダイナミック型のメモリ素子の構成では、メモリ素子1bit当りに必要なTFTの個数は1～2個程度であるため、少ない数のTFTを用いてメモリ素子を構成することができる。しかしながら、ダイナミック型メモリ素子では、コンデンサに蓄積された電荷が、リーク電流により消失されるため、静止画を記憶して表示させることができないという問題がある。

【0017】本発明は前記問題に対してなされたものであり、静止画および動画像の多階調を表示する時にも利用することができる疑似スタティック型メモリ素子を用いて各画素にメモリを構成し、メモリ素子1bit当りに必要なTFTの個数を減らすことができ、かつ表示画面の周辺に配置するドライバ回路規模を小さくすることのできる表示装置、および表示方法を提供することを目的とする。

【0018】

【課題を解決するための手段】本発明は、データ配線とゲート配線との交差部に対応して、マトリクス状に電気光学素子を配置し、その電気光学素子に対応させて、複数の記憶素子（メモリ素子）を配置する表示装置およびこの表示装置を用いた表示方法に関する。そして、本発明の表示装置は、この複数の記憶素子を電位保持手段であるコンデンサを用いて構成すると共に、前記コンデンサの電位を入力とし、その出力電圧により前記コンデンサの電位を再補充するバッファ回路を配置したものである。

【0019】本発明の表示装置は、前記課題を解決するために、第1の配線と第2の配線との交差部にマトリクス状に配置された電気光学素子と、前記電気光学素子を表示駆動する電位を保持する電位保持手段と、前記電位保持手段により入力された電位を出力するバッファ回路と、前記電位保持手段と直列に配置されている第1のスイッチング素子と、前記第1のスイッチング素子または電位保持手段と前記第1の配線との間に配置されており、前記第2の配線により導通状態が制御される第2の

スイッチング素子とを備えており、前記電位保持手段が各電気光学素子に対して複数配置されており、前記複数の電位保持手段と前記バッファ回路との出力端子とが接続されていることを特徴としている。

【0020】本発明の表示装置は、前記の課題を解決するために、第1の配線と第2の配線との交差部にマトリックス状に配置された電気光学素子と、前記電気光学素子を表示駆動する電位を出力する電位保持手段と、前記電位保持手段により入力された電位を出力するバッファ回路と、前記電気光学素子またはバッファ回路と電位保持手段との間に配置されている第1のスイッチング素子と、前記第1のスイッチング素子と前記第1の配線との間に配置されており、前記第2の配線により導通状態が制御される第2のスイッチング素子とを備えており、前記電位保持手段が各電気光学素子に対して複数配置されており、前記複数の電位保持手段の出力端子と前記バッファ回路の出力端子とが接続されていることを特徴としている。

【0021】前記の発明により、ダイナミック型メモリ素子を擬似的なスタティック型メモリ素子として用いることができるため、スタティック型メモリ素子を用いる場合と比較して、画素を構成する為に必要なTFTの数を減らすことが可能になる。このように画素にメモリ素子を取り込むことで、動画表示あるいは階調表示を行うために必要な、表示画面の周辺に配置されるドライバ回路の規模を小さくすることができる。したがって、画素に複数のメモリ素子を取り込まない構成と比べ、ドライバ回路の規模が小さい表示装置を提供することができる。また、画素に取り込むメモリ素子をスタティック型メモリ素子とした場合と比べ、必要なTFTの数を少なくすることができる。

【0022】すなわち、TFT等により実現される第2のスイッチング素子が、前記電位保持手段と、データ配線である第1の配線との間に配置されている。このため、第2のスイッチング素子を制御することにより、第1の配線からの電位を電位保持手段に与えることができる。これにより、データ配線である第1の配線と、ゲート配線である第2の配線の交差部に対応して、画素回路をマトリックス状に配置することができる。

【0023】また、バッファ回路の出力端子と電位保持手段の出力端子とは、直接的または間接的に、すなわち直接またはスイッチング素子のソース・ドレイン端子を通して間接的に接続されている。このため、バッファ回路の出力電位により電位保持手段を再びチャージすることができる。これにより、ダイナミック型メモリ素子を擬似的にスタティック型メモリ素子として用いることが可能となる。

【0024】ここで、コンデンサ等により実現される電位保持手段は、1つの電気光学素子に対して複数配置されており、両者の間には第1のスイッチング素子が配置

されている。このため、第1のスイッチング素子を制御することにより、電位保持手段を切り替えることができる。また、電位保持手段に保持されている電位をバッファ回路へ入力する場合、電位保持手段の電位とバッファ回路の出力電位とが合成されてバッファ回路へ入力されることになる。

【0025】なお、前記第1のスイッチング素子は電位保持手段と電気光学素子またはバッファ回路との間に設けられることが多いが、コンデンサの電荷は一方の端子がオープン状態になると移動できないので、第1のスイッチング素子と電気光学素子またはバッファ回路との間に電位保持手段を設けることも可能である。

【0026】ここで、バッファ回路の入力電位がバッファ回路の出力電位によって影響されることを防止するためには、電位保持手段の容量を大きくとればよい。またはバッファ回路の出力抵抗を大きくとればよい。あるいは、前記電位保持手段を切り替える動作中にバッファ回路の出力端子と入力端子とを切り離す、TFT等により実現される第3のスイッチング素子を配置してもよい。

【0027】なお、前記バッファ回路およびスタティック型メモリ素子は、いずれも通常2つのインバータ回路から構成されるものである。本発明の手段を1個の電気光学素子に対して1個の電位保持手段を配置する構成に適用することも可能であるが、この構成では、ドライバ回路を構成するために必要なTFTの個数が、スタティック型メモリ素子を用いるものと変わらない。しかしながら、本発明の表示装置は、1個の電気光学素子に対し複数の電位保持手段が配置されている構成において効果を発揮する。これは、複数のスタティック型メモリ素子により表示装置を構成した場合と比較して、1bit（ビット）あたりのドライバ回路を構成するTFTの個数を減らすことができるからである。

【0028】したがって、上記説明した本発明の手段により、電位保持手段1個あたり、すなわちメモリ素子1bitあたりのTFTの個数を減らすことができ、かつ表示画面の周辺に配置するドライバ回路の規模を小さくすることができる表示装置を提供することが可能となる。

【0029】本発明の表示装置は、好ましくは、前記バッファ回路の入力端子と出力端子との間に第3のスイッチング素子が配置されていることを特徴としている。

【0030】前記の発明により、バッファ回路の入力端子と出力端子との間に配置されている第3のスイッチング素子により、バッファ回路の出力電位によるバッファ回路の入力電位への影響を防ぐことができる。

【0031】ここで、電位保持手段の容量を大きくするためには、容量に応じた大きな面積を割り当てる必要があるが、第3のスイッチング素子を配置しているため電位保持手段に大きな面積を割り当てることが不要となり、電位保持手段を小さくすることにより、表示装置を

小型化することができる。

【0032】本発明の表示装置は、前記の課題を解決するために、前記第1のスイッチング素子は、前記第3のスイッチング素子が非導通状態のときに、前記複数の電位保持手段を切り替えるものであり、前記バッファ回路は、前記第3のスイッチング素子が非導通状態のときに、該バッファ回路の入力端子の電位により該バッファ回路の出力端子の電位を設定するものであり、前記第3のスイッチング素子は、前記バッファ回路の出力端子の電位が設定されたことに応じて導通状態とされるものであること特徴としている。

【0033】これにより、第3のスイッチング素子が非導通状態のときに、導通状態とする前記第1のスイッチング素子を切り替えることで、バッファ回路に入力する電位保持手段を切り替えることができる。また、その電位保持手段の電位に対応する正極性出力が、前記バッファ回路から得られた後に、前記第3のスイッチング素子を導通状態として電位保持手段の電位を再充電させることができる。

【0034】なお、前記電位保持手段と第1のスイッチング素子が1対複数対応する場合もあれば、1対1対応する場合もある。1対複数対応する前者の場合、各画素当たりが必要とされる第1のスイッチング素子の制御配線の本数を少なくできるので好ましい。

【0035】一方、1対1対応する後者は、各電位保持手段に対応する第1のスイッチング素子を独立に制御可能となるので、2つの電位保持手段が同時に選択されないよう制御できるので好ましい。

【0036】したがって、バッファ回路の出力電位によるバッファ回路の入力電位への影響を防ぎつつ、ダイナミック型メモリ素子を擬似的にスタティック型メモリ素子として用いることができる。このため、メモリ素子1bitあたりのTFTの個数を減らすことが可能となる。

【0037】本発明の表示装置は、前記の構成において特に好ましくは、前記バッファ回路が、入力電圧の振幅を増幅して出力するものであり、前記第3のスイッチング素子のゲート電圧の振幅が前記バッファ回路の出力電圧の振幅よりも小さいことを特徴としている。

【0038】これにより、前記電位保持手段からバッファ回路へ入力された入力電圧の振幅を増幅させて、前記電気光学素子に出力することができる。すなわち、電位保持手段により入力された電圧の振幅をバッファ回路により増幅させて、前記電気光学素子の必要な振幅の電圧として出力することができる。

【0039】ここで、バッファ回路により増幅された電圧をそのままバッファ回路の入力端子へ戻すと、入力端子で想定されている電圧の振幅よりも大きくなり、第1・第2のスイッチング素子等で動作不良を起こすおそれがある。しかし、前記第3のスイッチング素子を通過できる電圧振幅はそのゲート電圧により制限されるので、

前記第3のスイッチング素子のゲート電圧の振幅が前記バッファ回路の出力電圧の振幅よりも小さい構成とすることにより、前記動作不良の発生を防止することができる。

【0040】一般にTFT等のスイッチング素子のサイズを小さくするためには、その耐圧を低く設定する必要がある。また、スイッチング素子を駆動するためのゲート電圧を低く抑えることにより、ゲート電極のチャージアップ・ダウンに伴う消費電力を低くすることもできる。従って、表示装置の消費電力を低くするために、前記バッファ回路の（第1のスイッチング素子を含む）入力端子側を低電圧回路構成とすることが好ましく、そのためには前記バッファ回路の入力端子に戻る電圧の振幅を制限することが好ましい。

【0041】そこで、バッファ回路の出力端子と前記電位保持手段の出力端子との間に配置されている第3のスイッチング素子のゲート電圧の振幅を前記バッファ回路の出力電圧の振幅よりも小さくしている。

【0042】これにより、バッファ回路の入力端子と出力端子の間にある第3のスイッチング素子のゲート端子へ与える電圧振幅を制限し、その制限された電圧振幅の範囲内でバッファ回路の出力端子から入力端子へ電圧を戻すことができる。例えば、前記第3のスイッチング素子としてn型TFTを用いる場合、そのソース端子へ12Vの電圧を印加しても、ゲート端子へ6Vの電圧を印加した場合には、ドレイン端子から出てくる電圧はおおよそ5V程度となる。

【0043】前記説明したように、第3のスイッチング素子を配置し、そのゲート電圧の振幅を制限することにより、前記バッファ回路の入力端子側のTFTの耐圧を低く設定できるため、TFTのサイズを小さくすることができる。また、それらTFTを制御する配線の電位を低く抑えることができる。このため、表示装置の消費電力を低くすることができる。

【0044】本発明の表示装置は、前記第1の配線と前記第2の配線との交差部に、前記バッファ回路の電源配線間を容量性結合する容量性結合手段が設けられていることが好ましい。

上記の構成により、容量性結合手段から、バッファ回路の電源配線に対して、スイッチングに必要な電荷を供給することができる。このため、スイッチング不良による表示装置のノイズや誤動作の発生を防止することが可能となる。

【0045】例えば、本発明の表示装置のバッファ回路の電源配線間に、必要な配線幅よりも広い幅を有する配線を施して、コンデンサ等の容量性結合手段を形成する。このように画素にコンデンサを形成することで、バッファ回路やインバータ回路の出力状態が変化するときに必要な電荷を、画素に配置されているコンデンサから供給し、電源配線から供給すべき電荷を減らすことが可

能となる。

【0046】このことにより、電源配線へ供給する電荷が変動した時に発生するノイズの発生を抑えて、バッファ回路やインバータ回路の誤動作を防止することができる。また、電気光学素子へ印加される電位の変動を抑えて、表示品位の劣化を低減することができる。したがって、画像表示装置の信頼性および表示品位を向上させることができる。

【0047】本発明の表示方法は、前記の課題を解決するために、前記表示装置を用いた表示方法であって、前記第2のスイッチング素子が導通状態のとき、前記第1の配線の電位に対応して前記電位保持手段の電位を設定する電位設定ステップと、前記第2のスイッチング素子が非導通状態のとき、前記電位保持手段の電位を前記バッファ回路の入力端子へ印加し、その印可電圧に対応する前記バッファ回路の出力により前記電位保持手段を再充電する再充電ステップと、前記電位保持手段または前記バッファ回路の出力により、前記電気光学素子の表示状態を制御する第1の表示状態制御ステップとを含んでなることを特徴としている。

【0048】すなわち、電位設定ステップにおいて、第2のスイッチング素子のソース端子を第1の配線すなわちデータ配線へ接続させ、ゲート端子を第2の配線すなわちゲート配線へ接続させ、前記第2のスイッチング素子が導通状態のとき、前記データ配線の電位をドレイン端子から得て、その電位に対応した電位を前記電位保持手段へ保持させる。そして、再充電ステップにおいて、前記第2のスイッチング素子が非導通状態のとき、前記電位保持手段の電位を前記バッファ回路へ入力させ、そのバッファ回路の出力により前記電位保持手段を再充電し、その電位を維持することができる。

【0049】そして、第1の表示状態制御ステップにおいて、前記電位保持手段または前記バッファ回路の出力に対応して、前記電気光学素子の表示状態を制御するものである。なお、上記再充電ステップと表示状態制御ステップとは同時に行われる場合が多い。

【0050】したがって、ダイナミック型メモリ素子を擬似的なスタティック型メモリ素子として用いることにより階調表示を行うことができる。このため、少ない数のTFTにより構成された表示装置を用いて階調表示を行うことが可能となる。

【0051】なお、個々の画素毎にバッファ回路を配置する構成の表示装置においては、前記電気光学素子の表示状態は前記バッファ回路、前記電位保持手段、または前記第1の配線の出力電圧に対応して設定されるものとみなすことができる。また、複数の画素毎にバッファ回路を配置する構成の表示装置では、前記電気光学素子の表示状態は前記電位保持手段または前記第1の配線の出力電圧に対応して設定されるものとみなすことができる。

【0052】本発明の上記表示方法の好ましい構成として、前記表示装置を用いた表示方法であって、前記第2のスイッチング素子が非導通状態のとき、前記第1のスイッチング素子を用いて複数の電位保持手段から1つの電位保持手段を選択する電位保持手段選択ステップと、該選択された電位保持手段の電位を前記バッファ回路の入力端子へ印加する電位印加ステップと、前記第1のスイッチング素子を用いて前記バッファ回路へ電位を入力する電位保持手段を切り替えることにより、前記電気光学素子の表示状態を制御する第2の表示状態制御ステップとを含んでなることを特徴としている。

【0053】前記の構成により、前記電気光学素子の表示状態を時間分割的に切り替え階調表示を行うことができる。

【0054】すなわち、電位保持手段選択ステップにおいて、画素毎にコンデンサ等の電位保持手段を複数配置し、前記電位保持手段と前記バッファ回路の入力端子との間に、該電位保持手段に対応して配置されている第1のスイッチング素子のうちの1つを導通状態とする。これにより、複数の電位保持手段から1つの電位保持手段を選択し、該選択された電位保持手段の電位を前記バッファ回路の入力端子へ印加することができる。

【0055】そして、表示状態制御ステップにおいて、導通状態とする第1のスイッチング素子を時間的に切り替えて、電位保持手段をバッファ回路により再充電する。これにより、前記電気光学素子に電位を与えて、前記表示装置に時間分割階調表示をさせることができる。

【0056】導通状態とする第1のスイッチング素子の切り替えに対応した期間を、順に第1の期間、第2の期間、…として、時間分割表示の方法を以下に説明する。第1の期間において、前記複数の第1のスイッチング素子のうちの特定のスイッチング素子（以下、スイッチング素子Aと記す）を導通状態とし、前記複数の電位保持手段のうちスイッチング素子Aに対応するものの電位を前記バッファ回路に与えて、そのバッファ回路の出力または電位保持手段の出力により電気光学素子の表示状態を設定する。

【0057】そして、第2の期間において、前記複数の第1のスイッチング素子のうちスイッチング素子Aとは異なる特定のスイッチング素子（以下、スイッチング素子Bと記す）を導通状態とし、前記複数の電位保持手段のうちスイッチング素子Bに対応するものの電位を前記バッファ回路に与え、そのバッファ回路の出力または電位保持手段の出力により電気光学素子の表示状態を設定する。このようにして、前記表示装置を用いて、時間分割階調表示を行うことができる。

【0058】この場合、好ましくは、前記第2の期間の後に第3の期間を設け、その第3の期間において、再度スイッチング素子Aを導通状態とし、前記複数の電位保持手段のうち、スイッチング素子Aに対応するものの電

位を再度前記バッファ回路に与え、そのバッファ回路の出力により電気光学素子の表示状態を設定することがより好ましい。

【0059】前記説明した方法により時間分割階調表示すると、視線が移動した場合においても、少なくとも第1の期間か第3の期間の何れかの期間を捉えることができるため、隣接する画素で階調表示レベルが異なることによる発光タイミングの違いの影響（いわゆる動画偽輪郭）を緩和することができる。

【0060】なお、先に記載したように、電位保持手段の容量が前記バッファ回路から出力される電流に比べて小さい場合、バッファ回路の入力電位がその出力電位により影響を受けないようにする必要がある。このため、前記表示装置の前記バッファ回路の出力端子と入力端子との間に第3のスイッチング素子が配置されている表示装置を用いることが好ましい。

【0061】本発明の表示方法は、前記表示装置を用いた表示方法であって、前記第2のスイッチング素子が導通状態のときに、前記複数の電位保持手段の電位を2値の電位のいずれかに設定するとともに、前記電気光学素子の表示状態を2つ以上の状態のいずれかに設定する表示状態設定ステップと、前記第2のスイッチング素子が非導通状態のときに、前記複数の電気光学素子の表示状態を前記電位保持手段に設定された電位に対応した状態に設定する表示状態再設定ステップとを含むことを特徴としている。

【0062】前記の発明により、階調表示に必要なbit数に対応する数の電位保持手段を各画素に配置することが困難な場合においても、所望の階調表示を行うことができる。例えば、6bit分すなわち6個よりも少ない数の電位保持手段が画素に配置されている表示装置を用いて6bit階調表示を行うことが可能となる。

【0063】すなわち、画素にm個の電位保持手段しか配置できないが、nbit階調表示（ $n > m$ 、m、n共に正の整数）する場合において、第2のスイッチング素子が導通状態の間に、前記不足する階調分の表示を2値以上（好ましくは3値以上）の多値電位データとして、電気光学素子に表示させることができる。

【0064】例えば、第2のスイッチング素子が導通状態の間に、前記m個の電位保持手段のうちの1個を用いて（ $n+1-m$ ）bit階調分の多値電位データを保持し、残りの電位保持手段を用いて（各コンデンサに2値電位データを保持し）（ $m-1$ ）bit分のデータを保持する。そして、前記第2のスイッチング素子が非導通状態の間に、前記多値電位データを保持させた電位保持手段により前記電気光学素子の表示状態を設定して多階調表示を行い、その後前記（ $m-1$ ）個の電位保持手段に保持された2値電位データにより前記電気光学素子の表示状態を設定して時間分割階調表示を行うことにより、前記不足する階調分の表示を3値以上の多値電位デ

ータとして、電気光学素子に表示させることができる。

【0065】また、例えば、第2のスイッチング素子が導通状態の間に、前記電気光学素子に（ $n-m$ ）bit階調分の多値データ表示を行わせ、更にm個の電位保持手段を用いて（各コンデンサに2値電位データを保持し）mbit分のデータを保持させ、前記第2のスイッチング素子が非導通状態の間に、前記m個の電位保持手段に保持された2値データにより前記電気光学素子の表示状態を設定して時間分割階調表示を行うことにより、前記不足する階調分の表示を2値以上の多値電位データとして、電気光学素子に表示させることができる。

【0066】また、本発明のようにアンプ回路やインバータ回路を画素に構成する場合、それらアンプ回路やインバータ回路の電源間にコンデンサ素子を構成することが好ましい。

【0067】この場合、コンデンサ素子は画素に配置することが好ましい。特に、アンプ回路やインバータ回路の電源端子のそばに形成することが好ましい。

【0068】これは、アンプ回路やインバータ回路の出力が変化するとき、必要な電荷をパネル周辺から得るより、画素に配置したコンデンサから得た方が、隣接する画素に与えるノイズが少ないからである。このようなノイズにより誤動作や表示品位の乱れが生じるので、その乱れを少なくする方法として、このような画素に配置されたコンデンサは有効である。

【0069】

【発明の実施の形態】本発明は画素にメモリ素子を配置している表示装置に関し、特に画素にメモリ素子を配置することによりドライバ回路の構成を簡単にするのできる表示装置およびこの表示装置を用いた表示方法（駆動方法）に関するものである。従って、本発明の表示装置は、ドライバ回路までTFT（薄膜トランジスタ）で作り込むことができるポリシリコンプロセスを用いて形成されたTFTを備えてなるものであることが好ましい。

【0070】そこで、本実施の形態において用いられるTFTを作製する為のTFT製作プロセスとしては、ポリシリコンプロセス、特にその代表的な例であるCGS（Continuous Grain Silicon）TFT製作プロセスや、一般的に用いられているポリシリコン（Poly-Si）TFT製作プロセス等を用いることができる。なお、CGS TFT製作プロセスについては、例えば、特開平8-204208、特開平8-250749等に記載されているため、本実施の形態においてはその詳細な説明は省略する。

【0071】〔実施の形態1〕本発明の実施の一形態について図1ないし図5に基づいて説明すれば、以下のとおりである。

【0072】図2に本実施の形態の表示装置61の概略の全体構成を示す。同図に示すように、本実施の形態の

表示装置61は、電気光学素子を有機EL素子（電気光学素子）3とした表示画面41を有するELディスプレイであるけれども、有機EL素子3の代わりに液晶素子やFED素子が用いられてもよいことは言うまでもない。

【0073】また、本実施の形態の表示装置61は、CPU（中央演算処理ユニット）62からの入力信号（データ信号と同期信号）が、配線39を通してソースドライバ回路37とゲートドライバ回路38へ入力される。また、前記CPU62は、フラッシュメモリ兼SRAM（Static Random Access Memory）であるメモリ素子63との間でデータをやり取りして、表示すべきデータのデータ信号を、ソースドライバ回路37に入力する。

【0074】そして、ソースドライバ回路37においては、入力されたデータ信号を図示しないシフトレジスタに取り込み、入力された同期信号のタイミングで図示しないラッチ回路に転送し、そのラッチ回路に保持されたbitデータがデータ配線Sjを通して表示画面へ転送される。また、ゲートドライバ回路38においては、CPU62より入力信号線39を介して入力された同期信号に従い、ゲート配線Gi（ $i=1, 2, \dots, n$ ）に同期信号等を出し、n型TFT1を制御して、前記データ配線Sj（ $j=1, 2, \dots, n$ ）に出力された電圧を適切な画素Aijへ取り込ませる。

【0075】また、ゲートドライバ回路38は、図示しない複数のスイッチング素子とコンデンサとバッファ回路とを備えてなる回路64を制御する制御配線Gi（ $i=1, 2, \dots, n$ ）bitx（ $x=1, 2, 3, 4$ ）をも備えており、該回路64には電源配線40より電源電圧VDDが供給される。

【0076】図1にデータ配線（第1の配線）Sjとゲート配線（第2の配線）Giとの交差部に対応して配置された画素Aijの画素回路（等価回路）の構成を示す。この画素回路はソースドライバ回路37やゲートドライバ回路38からの出力を受けて表示を行うものであり、画素の電気光学素子は、有機EL素子3と該有機EL素子3との陰極にそのソース端子が接続されたn型TFT2とから構成されている。このn型TFT2のドレイン端子には電源配線Voleが接続されており、有機EL素子3の陽極には対抗電極電圧Vrefが印加されている。また、このn型TFT2のゲート端子には第2のスイッチング素子であるn型TFT1（第2のスイッチング素子）のドレイン端子が接続されている。このn型TFT1のドレイン端子とn型TFT2のゲート端子との間の配線を、以下GiIoと表記することとする。

【0077】このn型TFT1のソース端子には第1の配線であるデータ配線Sjが接続されており、ゲート端子には第2の配線であるゲート配線Giが接続されている。また、このn型TFT1のドレイン端子は、第1のスイッチング素子であるp型TFT4～7およびn型T

F11～13が接続され、これらTFTを通して間接的に電位保持手段であるコンデンサ17～20と接続されており、またバッファ回路21とも接続されている。すなわち、配線GiIoには、コンデンサ17～20およびバッファ回路21が接続されている。

【0078】本実施の形態のバッファ回路21は、p型TFT8とn型TFT15とから構成される第1のインバータ回路と、p型TFT9とn型TFT16とから構成される第2のインバータ回路とから構成されている。そして、前記n型TFT1のドレイン端子（配線GiIo）は前記第1のインバータ回路の入力端子へ接続されており、その第1のインバータ回路の出力端子は前記第2のインバータ回路の入力端子へ接続されている。

【0079】また、前記バッファ回路21を構成する前記第2のインバータ回路の出力端子、前記第1のインバータ回路の入力端子には、それぞれ第3のスイッチング素子であるn型TFT10のソース端子、ドレイン端子が接続されている。

【0080】本実施の形態では、本発明の好ましい構成についての説明を行うため、図1の画素回路には複数のコンデンサ17～20を配置し、第1のスイッチング素子であるp型TFT4～7およびn型TFT11～13を配置したものを実施の一形態として挙げて説明している。しかし、本発明は、画素Aijの画素回路にコンデンサが1個しか配置されていない場合、即ち第1のスイッチング素子がない場合も動作可能である。しかし、バッファ回路21としてTFTを4～5個用いており、このバッファ回路21に用いているTFTと同等の個数のTFTにより第1のスイッチング素子を構成してスタティックメモリを構成できることを考慮すると、本発明の表示装置は複数のコンデンサを備えている場合に効果を発揮するといえる。

【0081】また、本実施の形態では本発明の好ましい構成の説明を行うため、図1のバッファ回路21に第3のスイッチング素子であるn型TFT10を配置している。しかし、本発明では前記コンデンサ17～20の容量が十分に大きければ、n型TFT10は配置しなくても構わない。このように、第2のインバータ回路の出力によりコンデンサ17～20の電位が変化することがなければ、このn型TFT10は配置しなくても構わない。これは第2のインバータ回路の出力インピーダンスとコンデンサ17～20の容量の相対的値で決まるので、コンデンサ17～20の容量を大きくする代わりに、第2のインバータ回路の出力インピーダンスを大きくしても良い。即ち、この条件ではバッファ回路21において、第2のインバータ回路の出力端子を第1のインバータ回路の入力端子へ直接繋いでもよい。

【0082】本実施の形態では、本発明の好ましい構成について説明するため、図1に示すように、回路64に複数のコンデンサ17～20を配置し、第1のスイッチ

ング素子であるp型TFT4～7およびn型TFT11～13を配置し、第3のスイッチング素子であるn型TFT10を配置した画素Aijの回路64について説明する。

【0083】図1のコンデンサ17～20と第2のスイッチング素子であるn型TFT1のドレイン端子の間には、第1のスイッチング素子であるp型TFT4～7およびn型TFT11～13が配置されている。

【0084】なお、これらコンデンサ17～20の電荷は、そのコンデンサ17～20それぞれの端子のうち、一方の端子がオープン状態になると移動できないので、コンデンサ17～20がこれら第1のスイッチング素子であるp型TFT4～7およびn型TFT11～13とn型TFT1のドレイン端子の間に配置されていてもよい。このように配置されている場合は、図1に示した配置と同様に動作することが可能である。

【0085】但し、本実施の形態では、判りやすいようにコンデンサ17～20とn型TFT1のドレイン端子の間に第1のスイッチング素子が配置された図1に示すような回路構成を用いて説明する。

【0086】コンデンサ17の一方の端子にはp型TFT4、5が、ドレイン端子、ソース端子を用いて直列に接続されている。すなわちp型TFT4のドレイン端子とp型TFT5のソース端子とが接続されている。そして、p型TFT4のゲート端子には制御配線Gibit1が接続され、p型TFT5のゲート端子には制御配線Gibit2が接続されている。

【0087】また、コンデンサ18の一方の端子にはn型TFT11とp型TFT6とが、ドレイン端子、ソース端子を用いて直列に接続されている。そして、n型TFT11のゲート端子には制御配線Gibit1が接続され、p型TFT6のゲート端子には制御配線Gibit2が接続されている。

【0088】また、コンデンサ19の一方の端子にはp型TFT7とn型TFT12とが、ドレイン端子、ソース端子を用いて直列に接続されている。また、p型TFT7のゲート端子には制御配線Gibit1が接続され、n型TFT12のゲート端子には制御配線Gibit2が接続されている。

【0089】また、コンデンサ20の一方の端子にはn型TFT13、14がドレイン端子、ソース端子を用いて直列に接続されている。また、n型TFT13のゲート端子には制御配線Gibit1が接続され、n型TFT14のゲート端子には制御配線Gibit2が接続されている。

【0090】即ち、制御配線Gibit2、1の電位が、順に（負選択電位、負選択電位）のときコンデンサ17が、（負選択電位、正選択電位）のときコンデンサ18が、（正選択電位、負選択電位）のときコンデンサ19が、（正選択電位、正選択電位）のときコンデンサ

20が、前記の配線Gibit2と接続される。つまり、制御配線Gibit2、1の電位を制御することにより、コンデンサ17～20のいずれかを選択することができる。また、第3のスイッチング素子であるn型TFT10のゲート端子には制御配線Gibit2が接続されている。

【0091】この図1に示す画素を構成する画素回路を用いた表示方法の動作を図3を用いて説明する。同図に示すように選択期間（図3の②Giが電位Vghの期間）において、画素Aijで表示すべき4bitの階調データをデータ配線（図3の①Sj）へ転送する。そして、その選択期間において、制御配線Gibit2、1の電位を（④Gibit2の電位、③Gibit1の電位）の順に表すと、その組み合わせが（負選択電位：Vgl、負選択電位：Vgl（以下、「0」と示す））、（負選択電位：Vgl、正選択電位：Vgh（以下、「1」と示す））、（正選択電位：Vgh、負選択電位：Vgl（以下、「2」と示す））、（正選択電位：Vgh、正選択電位：Vgh（以下「3」と示す））のように変化させる。これにより、前記「0」「1」「2」「3」に対応する期間にデータ配線（図3の①Sj）へ転送されている画素Aijで表示すべき4bitの階調データをコンデンサ17～20（図1参照）へ蓄えることができる。

【0092】なお、前記選択期間においては、図3に示す制御配線⑤Gibit2を非選択電位（図3のVgl）、すなわちn型TFT10（図1参照）が非導通状態となる電位としておく。

【0093】その後、図3の②Giが電位Vglである非選択期間に、同図の③④に示すように、制御配線Gibit2、1を「3」「2」「1」「0」「1」「2」「3」と、順に期間比率4：2：1：1：1：2：4で変化させる。ここで、各々の最初の期間において、制御配線Gibit2を非選択電位とし、その後バッファ回路21を構成する第2のインバータ回路の出力が選択されたコンデンサ電位に対応する電位へ安定してから、制御配線Gibit2を選択電位（図3のVgh）、すなわちn型TFT10（図1参照）が導通状態となる電位とする。

【0094】このように、制御配線Gibit2、1の電位が変化する各々の期間で、制御配線Gibit2を非選択電位としてバッファ回路21の入力端子へコンデンサ17～20の電位を与える。このとき、コンデンサ17～20の電位がバッファ回路21の2値出力閾値よりも大きければハイ電位、小さければロー電位とみなされるので、その対応する2値の電位であるハイ電位またはロー電位のいずれかが、バッファ回路21から正極性電位として出力される。

【0095】これにより、バッファ回路21から正極性電位として出力される出力電位が確定した後、制御配線Gibit2を選択電位として、導通しているコンデンサ1

7～20の電位をハイ電位またはロー電位まで再充電することができる。

【0096】このため、第2のスイッチング素子であるn型TFT1が永続的に非導通状態となる静止画像表示時でも、図3に示すように、制御配線Gibit2、1を「3」「2」「1」「0」「1」「2」「3」と切り替える表示動作を1フレーム周期単位で繰り返すことで、各コンデンサ17～20に貯められた電位を保持することができる。

【0097】また、図1に示すように、この配線GiiOが電気光学素子であるn型TFT2のゲート端子へ接続されているので、前記制御配線Gibit2、1を図3に示すように、「3」「2」「1」「0」「1」「2」「3」と切り替える動作が、電気光学素子を構成する有機EL素子3の発光状態を制御し、電気光学素子で時間分割多階調表示を行う動作となる。

【0098】すなわち、本実施の形態の画素Aijを構成する回路64は、表示装置に静止画像表示を行わせるために、図3のコンデンサ17～20に対応した表示を有機EL素子3により表示させることにより、自動的にコンデンサ17～20の各コンデンサの電位を再充電することができる。

【0099】なお、本実施の形態においては、本発明の好ましい実施の形態についての例を示しているため、コンデンサ17～20、即ち4つのコンデンサを備えてなる表示装置について説明したが、コンデンサの数はこれに限られるものではない。

【0100】また、表示装置の各画素が1個のコンデンサを備えてなるものである場合には、n型TFT2と有機EL素子3とから構成される電気光学素子は、例えば、2値のみの表示である2階調表示のように、2値のみの記憶すなわち1bitしか記憶できない。しかし、第1のスイッチング素子、および第3スイッチング素子であるn型TFT10を非導通状態とし、第2のスイッチング素子であるn型TFT1を導通状態とし、第1の配線であるデータ配線（またはソース配線）Sjから電位を取り込むことで、有機EL素子3の表示を行わせることもできる。また、第2のスイッチング素子を導通状態とし、前記第1のスイッチング素子であるn型TFT1、および第3のスイッチング素子であるn型TFT10を導通状態とさせることで、自動的にコンデンサの電位を再充電することもできる。

【0101】また、前記時間分割多階調表示においては、図3に示すように、下位1bitを除き、上位3bitを1フィールド期間に2回、下位1bitを中心に対称となるように表示している。これは、隣接する画素間で表示される階調データが異なり、かつその階調データが異なる映像が画像中を移動する場合に現れる動画偽輪郭の発生を抑制するためである。

【0102】たとえば、背景6階調レベルの中を8階調

レベルの画像が動く場合、図4の矢印を用いて示すような視線をとる。この場合、図4(a)に示す上位bitを分割表示しない場合は、同図(a)の矢印の先端にあるように、その映像のエッジで最大13階調のレベルが観測される。これが、前記の動画偽輪郭である。一方、同図(b)に示すように上位bitを分割表示する場合は、同図(b)の矢印の先端にあるように、その映像のエッジで最大10階調レベルが観測される程度ですむ。

【0103】このように、時間分割多階調表示を行うときには、動画偽輪郭を抑制するため上位bitの表示期間を分割することが好ましい。

【0104】また、本実施の形態は、有機EL素子3はガラス基板の上にA1等の陰極を形成し、その上に有機多層膜、さらにその上にITO等の透明な陽極を形成した構成である。この有機多層膜には幾つかの構造があるが、本実施の形態では電子輸送層としてはAlq等を、発光層としてDPVBi、Zn(oxz)2、DCMをドープメントとしたAlq等を、正孔輸送層としてTPDを、正孔入層（または陽極バッファ層）としてCuPcを、この順番で積層した構成とした。上記Alq、Zn(oxz)2、DCM、TPDおよびCuPcの構造を図18(a)～(e)に示す。

【0105】以上のように、本実施の形態の表示装置を構成する画像回路は、コンデンサを備えてなるダイナミック型メモリ素子が、映像表示に伴いバッファ回路により再充電され、あたかもスタティック型メモリ素子のように動作するため、少ない数のTFTにより、より多くのメモリ機能を各画素に配置することができる。このため、各画素により多くのメモリ素子を配置することが可能である。すなわち、表示させようとする階調数に対応したメモリ素子を、表示装置の各画素に配置することができる。

【0106】その結果、図2に示すソースドライバ回路37は、図示しないラッチから、そのラッチに保持されたbitデータを図3の①Sjに示すように順番に転送するのみでよいこととなる。すなわち、CPU62から送られてきた多階調表示用ビットデータは、画素に配置されたフレームメモリに取り込まれ、その各ビットの重みに合わせた期間有機EL素子3を発光させる構成となる。このことにより、時間分割階調表示に必要なタイミング変換用のフレームメモリをパネル周辺部に配置する必要もなく、従来ソースドライバ回路37に必要とされていたD/A変換回路等も不要になるため、表示パネルの額縁部（表示パネル上にある表示画面の周辺部）を極めて小さくすることができる。

【0107】なお、図1では第2のスイッチング素子であるn型TFT1のドレイン端子やバッファ回路21の出力端子が、n型TFT2と有機EL素子3とからなる電気光学素子と接続している構成の表示装置について説明した。しかし、本実施の形態の表示装置は、図5に示

すように、バッファ回路51の入力端子側の第1のインバータ回路（p型TFT8とn型TFT15）からの出力により直接有機EL素子42を駆動することもできる。

【0108】このように、本実施の形態の表示装置は、バッファ回路51の出力により電気光学素子である有機EL素子42を駆動する場合だけでなく、バッファ回路を構成するp型TFT8とn型TFT15とからなる第1のインバータ回路や、p型TFT9とn型TFT16とからなる第2のインバータ回路からの出力に対応して有機EL素子42を駆動する場合や、電位保持手段から出力される電位により有機EL素子42を駆動する場合においても、用いることができる。

【0109】なお、電気光学素子として液晶素子を用いる場合は、図1の電気光学素子である有機EL3およびn型TFT2を、図19に示すように液晶素子73とn型TFT71、p型TFT72へ置き換えれば良い。

【0110】図19は図1の画素回路の電気光学素子として用いる有機EL3の代わりに、液晶素子73を用いた場合の構成を示す回路図である。すなわち、図19の画素回路では、液晶素子73の一方の端子にn型TFT71およびp型TFT72のドレイン端子が接続され、そのn型TFT71およびp型TFT72のソース端子は、それぞれバッファ回路21の、p型TFT8とn型TFT15とからなる第1のインバータ回路、およびp型TFT9とn型TFT16とからなる第2のインバータ回路の出力端子に繋がっている。従って、n型TFT71を導通状態とし電位Vrefを正極性としたときと、p型TFT72を導通状態とし電位Vrefを負極性としたときでは、液晶素子73へ逆極性のAC電位が印加されるので、この極性切り替えと同期して液晶素子73のVref端子へ印加する電圧の極性を切り替えることで、その液晶素子73で表示を行うことができる。

【0111】図20は表示装置の電気光学素子として有機ELを用いる、図1とは別の各画素の画素回路の構成を示す回路図である。図1に示した画素回路では1個の電位保持手段に2つの第1のスイッチング素子に対応していたが、図20に示す画素回路のように1個の電位保持手段と1個の第1のスイッチング素子に対応させることもできる。

【0112】即ち、図20では6個のコンデンサ（電位保持手段）80～85の各々に、6個のn型TFT（第1のスイッチング素子）74～79が対応している。また、これら6個のn型TFT74～79の各々に制御配線GiB1～GiB6が対応している。

【0113】この場合、各n型TFT74～79は独立に制御可能なので、これらTFTの閾値特性等がばらついていても、同時に2つのTFTが導通状態とならないよう制御することが可能である。

【0114】このことにより、図1に示した画素回路の

構成を採用した場合と比較して、電位保持手段であるコンデンサ80～85の容量を、図1のコンデンサ17～21より小さくすることができる。

【0115】例えば図1の構成では、制御配線Gibit2がロー状態で、制御配線Gibit1がロー状態からハイ状態に変化するとき、TFTの閾値電位のバラツキにより、p型TFT4とn型TFT11とが同時に導通状態となることがある。

【0116】そのため、一瞬2つの電位保持手段であるコンデンサ17とコンデンサ18との間でリークが発生しても、各コンデンサの電位が余り減らない条件、即ち（TFTのON抵抗）×（コンデンサの容量）で決まる時定数が大きくなるという条件が成立するよう、電位保持手段であるコンデンサ17とコンデンサ18の容量を大きくする必要がある。

【0117】しかし、図20の回路構成では、各n型TFT74～79のうち2つのTFTが同時にON状態にならないよう制御することが可能なので、コンデンサ80～85のうち、2つのコンデンサの間でリークが発生しない。したがって、電位保持手段であるコンデンサ80～85の容量を大きくする必要がない、すなわち容量を小さいままとすることができる。

【0118】なお、図20でアンプ回路（バッファ回路）93と配線GiIOの間にあるスイッチング素子86はアンプ回路93をメモリ回路として利用する為のものである。

【0119】即ち、スイッチング素子86が非導通状態の時、アンプ回路93はスタティックメモリ回路として動作する。また、スイッチング素子86が導通状態の時、アンプ回路93は本発明の疑似スタティックメモリ回路のアンプ回路として動作する。なお、アンプ回路93はp型TFT87とn型TFT89から構成される第1のインバータ回路と、p型TFT88とn型TFT90から構成される第2のインバータ回路と、第3のスイッチング素子であるn型TFT91とから構成される。

【0120】また、図21は、図20の画素回路の構成をTFT回路としたレイアウト構成を示すレイアウト図である。図21に点線で示している画素（ドットエリア）Aijの領域は、概ね254μm角の画素を3分割したサイズになっている。同図に示すように、本発明の画素回路の構成を用いることにより、現状の設計ルール（4～2[μm]）でも、上記の領域に図20に示した6bit分の疑似スタティックメモリ回路を構成することができている。なお、図21のレイアウトではソース配線Sjと同じ模様で示しているのがソース電極層であり、ゲート配線Giと同じ模様で示しているのがゲート電極層であり、TFT1と同じ模様（破線）で示しているのがSi層である。

【0121】更に、図21に示すレイアウトでは、電源配線VDDとGND配線との間にコンデンサ（容量性結

合手段) 92を配置している。図21のレイアウトでは、電源配線VDDがゲート電極層を介して、アンプ回路93を構成するTFT87, 88の電源となっている。その為のゲート配線Giの下Si層がGND配線に短絡されていることで電源配線VDD間にコンデンサ92が形成されている。

【0122】このように、アンプ回路等のスイッチング回路を構成するときは、その2つの電源配線VDDとGND配線との間に、容量性結合手段としてのコンデンサを形成する。これにより、スイッチング回路の電源配線VDD間を容量性結合する上記コンデンサからスイッチングに必要な電荷を供給すること可能となるので、ノイズ対策や誤動作対策として有効である。

【0123】〔実施の形態2〕本発明の他の実施の形態について、図1、図2および図6に基づいて以下に説明する。図1の画素回路を用いた表示方法であって、前記実施の形態1において図3を用いて説明したものと別例を図6に示す。図1に示す構成の画素回路にはコンデンサが4個しか配置されていないため、4bit=16階調を超える表示を行うことができない。

【0124】しかし、ここでは、図1に示す構成の画素回路を用いて64階調表示を行うと仮定し、その方法を考える。このように、表示させたい階調数に対応するbit数n(64階調の場合はn=6)よりも画素に配置させたメモリ素子数m(図1ではm=4)のほうが大きい場合の表示方法について、以下に説明する。

【0125】すなわち、本実施の形態の表示方法は、最も比重の小さな階調データを表示させるためのコンデンサへ、それ以外のコンデンサに保持することができなかった下位データを多値アナログ電位として保持させることにより、表示させたい階調数の表示を行う表示方法である。

【0126】すなわち、本実施の形態の表示方法では、図1に示す画素を構成する画素回路は、図6に示すように、選択期間(図6の②Giが電位Vghの期間)において、制御配線Gibit2, 1の電位を(④Gibit2の電位、③Gibit1の電位)の順に表すと、その組み合わせが(正選択電位: Vgh、正選択電位: Vgh)、(正選択電位: Vgh、負選択電位: Vgl)、(負選択電位: Vgl、正選択電位: Vgh)となるように変化させる。

【0127】つまり、制御配線Gibit2, 1の電位を前記「3」、前記「2」、前記「1」となるように変化させ、図1に示すコンデンサ18~20に上位3bitのデータを2値電位データとして記録させる。そして、この選択期間に制御配線Gibit2, 1を図6の④③のように、(④Gibit2の電位、③Gibit1の電位)が(負選択電位: Vgl、負選択電位: Vgl)となるように、すなわち前記「0」と変化させ、図1のコンデンサ17に多値電位データを保持させる。

【0128】この多値電位データは、64階調表示に必要な6bitのうちの残りの下位3bitに対応した8レベルの電位である。そして、この8レベルの電位を図1の電気光学素子を構成するn型TFT2のゲート端子に与え、そのn型TFT2の導通状態抵抗を制御することにより、有機EL素子3を流れる電流を制御して多値データを表示させることができる。

【0129】そして、n型TFT1の非選択期間(図6の②Giが電位Vglの期間)において、制御配線Gibit2, 1を図6に示すように、前記「0」から、「3」「2」「1」「2」「3」と変化させて、先に多値電位データを表示させていた前記電気光学素子を、コンデンサ18~20に蓄えた2値電位データに対応した表示状態とする。

【0130】なお、前記制御配線Gibit2, 1が「0」のとき、バッファ回路21からの出力がコンデンサ17に戻らないように、図6の④に示すように制御配線GiRWを非選択電位(負選択電位: Vgl)として、第3のスイッチング素子であるn型TFT10を非導通状態とする。

【0131】前記説明した方法により階調表示することで、時間分割で表示させる3bitの階調レベルにコンデンサ17に蓄えられるアナログ電位で表示させる8階調レベルを加えることができるため、前記電気光学素子に合計6bit階調(=64階調)を表示させることができる。

【0132】なお、図6に示すように、制御配線Gibit2, 1が「0」である期間は「1」である期間の7/8倍に設定されている。このように、「0」である期間を「1」である期間よりも短く設定することにより、コンデンサ17を用いて表示されるアナログ階調の最大階調レベルが、コンデンサ18~20を用いて表示させるデジタル階調の最小階調レベルより小さくなることを保証している。

【0133】このように、アナログ階調とデジタル階調とを併用するときは、デジタル階調の最小階調レベルがアナログ階調の最大階調レベルより大きくなることを保証することが好ましい。このように保証することにより、アナログ階調とデジタル階調とを併用する場合においても、階調レベル間の逆転が生じることを阻止できる。これにより、アナログ階調とデジタル階調とを組み合わせたときに発生しやすい階調反転現象を抑えることが可能となる。

【0134】なお、本実施の形態の表示方法の場合、図2に示すソースドライバ回路37の最終出力段は、図示しないが8つの電圧レベルから1つの電圧レベルを選択するマルチプレクサ構成となっている。このように構成することで、D/A変換回路のような内部で電圧を発生する構成に比べて、ドライバ回路での消費電力を抑える効果が期待できるため好ましい。

【0135】以上説明したように、本実施の形態の表示方法により、ソースドライバ回路37に前記8電位選択マルチプレクサを追加することにより、コンデンサの数およびTFTの数を増加させることなく16階調表示から64階調表示へと表示装置の表示階調数を増大させて階調表示を行うことができるという明らかな効果が得られる。

【0136】なお、電気光学素子として液晶素子を用いる場合は、図5の電気光学素子である有機EL42を液晶素子へ置き換えれば良い。

【0137】〔実施の形態3〕本発明のさらに他の実施の形態について、図7および図8に基づいて以下に説明する。図7に、本実施の表示方法に用いられる画素回路の構成を示す。

【0138】同図に示すように、本実施の形態の表示方法に用いられる画素回路は、電気光学素子である有機EL42の陽極に、第1のスイッチング素子であるn型TFT1のドレイン端子、および本実施の形態で新たに導入されたp型TFT45のドレイン端子が接続されている。

【0139】そして、このn型TFT1およびp型TFT45のゲート端子は、いずれもゲート配線Giに接続されている。また、n型TFT1のソース端子は、データ配線Sjへ接続されている。そして、p型TFT45のソース端子は、バッファ回路の第1のインバータ回路であるp型TFT44とn型TFT47の出力端子（ドレイン端子）へと接続されている。

【0140】このような構成により、ゲート配線Giが正選択電位（図8のⓐGiが電位Vgh）のとき、n型TFT1が導通状態となり、データ配線Sjにより供給される電荷により有機EL素子42が表示される。

【0141】なお、図7に示した画素回路の構成は、p型TFT43とn型TFT46とにより構成される第2のインバータ回路の入力端子に、第2のスイッチング素子であるn型TFT1のドレイン端子が接続されており、該ドレイン端子に電気光学素子である有機EL素子42の陽極端子が接続されており、前記第1のインバータ回路の入力端子にp型TFT45が接続されている。

【0142】そのほか、前記第1のインバータ回路の入力端子と、前記第2のインバータ回路の出力端子と、第3のスイッチング素子であるn型TFT10と、コンデンサ17〜20と、p型TFT4〜7と、n型TFT11〜14との接続関係は、実施の形態1において図1を用いて説明した関係と同様であるため、本実施の形態においてはその説明を省略する。

【0143】本実施の形態の表示方法では、6bit階調（＝64階調）表示に、図8に示すように、ゲート配線Giが正選択電位（図8のⓐGiが電位Vgh）の間に、コンデンサ17〜20へ上位4bitの2値データの記録と、これらコンデンサに記録することができな

った下位2bitのデータの表示を行う。

【0144】すなわち、n型TFT1の選択期間（図8のⓐGiが電位Vghの期間）において、制御配線Gibit2、1電位を「3」「2」「1」「0」と変化させ、この「3」～「1」の期間でコンデンサ20〜18に上位3bitの2値データを蓄え、次に、制御配線Gibit2、1電位を「0」に変化させ、その最初の「0」の期間でコンデンサ17へ上位4bit目、すなわち最上位のbitから4つ目のbitの2値データを蓄える。そして、n型TFT1の非選択期間（図8のⓐGiが電位Vglの期間）において、制御配線Gibit2、1電位を「3」「2」「1」「0」「1」「2」「3」と変化させ、上位4bitのデータを時間分割で階調表示させる。

【0145】以上のように、本実施の形態の表示方法を用いることにより、ソースドライバ回路37（図2参照）の最終出力段に必要なマルチプレクサの構成を前記説明した実施の形態2の8電位レベルから4電位レベルに引き下げることができる。このため、ソースドライバ回路37の構成に必要な回路面積をさらに減らすことが可能となる。

【0146】なお、前記ゲート配線Giが正選択電位（図8のⓐGiが電位Vgh）の間に、64階調中の下位4階調レベルを表示させるためには、時間分割階調で表示させる場合より高い電圧をデータ配線Sjに供給することが必要となる。

【0147】このことは、ソースドライバ回路37の最終出力段のマルチプレクサを構成するTFTや、画素の画素回路を構成するn型TFT1等に、前記実施の形態2において説明した表示方法よりも、高い耐圧と電流容量を要求すること、すなわち大きなサイズのTFTを要求すること意味する。このため、実施の形態2の表示方法を用いたほうがソースドライバ回路37や画素Aijの回路規模を小さくすることができる場合もある。

【0148】なお、電気光学素子として液晶素子を用いる場合は、図5の電気光学素子である有機EL42を液晶素子へ置き換えれば良い。

【0149】〔実施の形態4〕本発明のさらに他の実施の形態について、図9および図10に基づいて以下に説明する。図9に本実施の形態の表示方法に用いられる画素回路の構成を示す。

【0150】本実施の形態の画素回路は、前記実施の形態1の画素回路のバッファ回路21の代わりに、電圧増幅回路（アンプ回路、バッファ回路）29を備えており、該電圧増幅回路29の出力端子にn型TFT2と有機EL素子3とにより構成される電気光学素子を構成を接続している。

【0151】すなわち、図9に示すように、第2のスイッチング素子であるn型TFT1のドレイン端子に、コンデンサ17〜20を、第1のスイッチング素子である

p型TFT4～7およびn型TFT11～13を通して、接続している。また、このドレイン端子を電圧増幅回路29を構成するn型TFT25、26とp型TFT23のゲート端子へ接続している。

【0152】この電圧増幅回路29は第1～3のインバータ回路、すなわち3つのインバータ回路を備えて構成されている。第1のインバータ回路はp型TFT23とn型TFT26とから構成されており、その出力端子が第2のインバータ回路を構成するn型TFT27のゲート端子へ接続されている。このn型TFT27は、p型TFT24と共に第2のインバータ回路を構成している。また、第3のインバータ回路は、前記n型TFT25とp型TFT22とにより構成されている。

【0153】そして、この第2のインバータ回路の出力端子は第3のインバータ回路を構成するp型TFT22のゲート端子に接続されており、第3のインバータ回路の出力端子は、第2のインバータ回路を構成するp型TFT24のゲート端子へ接続されている。

【0154】画素回路をこのような構成とすることにより、コンデンサ17～20へ蓄えられる電位およびp型TFT23のソース端子に接続される電源電圧VCCが5V振幅のとき、p型TFT22、24のソース端子に接続される電源電圧VDDが5V以上の範囲において、第2のインバータ回路と第3のインバータ回路の出力電圧として電源電圧VDDの電圧を得ることができる。

【0155】この電圧増幅回路29の動作は、電圧増幅回路29を構成する第2のインバータ回路のn型TFT27のゲート端子へ電位VCCが印加されたとき、そのn型TFT27が導通状態となり、第2のインバータ回路を構成するp型TFT22のゲート端子へGND電位へ向かう電圧が印加される。また第3のインバータ回路のn型TFT25のゲート端子には、n型TFT27のゲート端子とは反対に、GND電位が印加される。この結果、第3のインバータ回路の出力端子の電位がVDDとなるからであり、第2のインバータ回路の出力電位がGND電位となる。また、第3のインバータ回路のn型TFT25のゲート端子へ電位VCCが印加される場合、そのn型TFT25が導通状態となり、第3のインバータ回路の出力端子がGND電位に向かう。その結果、第2のインバータ回路を構成するp型TFT24のゲート端子へGND電位へ向かう電圧が印加される。またn型TFT27のゲート端子には、n型TFT25のゲート端子とは反対に、GND電位が印加される。この結果、第2のインバータ回路の出力端子の電位が電位VDDとなる。

【0156】そして電圧増幅回路29の出力をn型TFT28（第3のスイッチング素子）のソース・ドレイン端子間を通して電圧増幅回路29の入力端子に戻す。このとき、n型TFT28を導通状態とさせるゲート端子電位を（VCC+2）V程度に設定することにより、こ

の電圧増幅回路29の入力端子へと戻る電圧振幅を概ねVCC程度に抑えることができる。

【0157】これは、n型TFT28のソース端子に電圧VDDが印加されていても、ゲート端子電圧を超える電位はドレイン端子側に伝送されないためである。n型TFT28の閾値電圧には1V～3V程度のバラツキがあるため、このn型TFT28のゲート端子電位を（VCC+2）V程度に設定することにより、ドレイン端子側には（VCC-1）～（VCC+1）V程度の電圧が戻される。

【0158】このことにより、前記説明した実施の形態1のバッファ回路21を電圧増幅回路29で置き換えることができる。ただし、電圧増幅回路29は、第1のインバータ回路と第2のインバータ回路の2つのインバータ回路を備えてなるものであるため、バッファ回路の1種として見なすこともできる。

【0159】この電圧増幅回路29の入力端子へ戻された電圧により、電圧増幅回路29の入力端子と導通状態となっているコンデンサの電位を再充電することができるので、本実施の形態においてもコンデンサを用いてスタティックメモリが構成できる。

【0160】以上のように、画素回路が電源増幅能力を有する電圧増幅回路29を備えることにより、電気光学素子を駆動するための電圧振幅に比べて、バッファ回路の入力端子側の回路の電圧振幅を小さく抑えることができる。このため、回路を構成するTFTの耐圧を低く設計することができ、その分必要な回路面積を小さくすることが可能となる。また、データ配線Sjを通してソースドライバ回路から画素Aijへ転送させるデータの電圧振幅を低く抑えることができるため、その分消費電力を低くすることができる。

【0161】なお、本実施の形態の画素回路は、図9に示すように、電圧増幅回路29を構成する第2のインバータ回路の出力端子に、電気光学素子を構成するn型TFT2と第3のスイッチング素子であるn型TFT28とを共に接続した構成としている。しかし、本実施の形態の画素回路は、図10に示すように、電気光学素子である有機EL素子42を、上記第3のインバータ回路の出力端子に接続する構成としてもよい。また、電気光学素子を有機EL素子42のみで構成することにより、第3のインバータ回路の出力電流により有機EL素子42を直接駆動することとしてもよい。

【0162】〔実施の形態5〕本発明のさらに他の実施の形態について、図11に基づいて以下に説明する。図11に、本実施の形態の表示方法に用いられる画素回路の概略の構成を示す。

【0163】前記実施の形態4の画素回路を構成する電圧増幅回路29（図9、図10参照）は、その第3のインバータ回路のn型TFT25へ、電位保持手段であるコンデンサ17～20の電位が印加される。この場合、

コンデンサ17～20からn型TFT25のゲート端子に印加される電圧振幅が電源電圧VDDに比べて小さいと、電圧増幅回路29は正常に動作しないことがある。そして、コンデンサ17～20の電位は減衰するため、電圧増幅回路29のn型TFT25のゲート端子に印加される電位が電源電圧VDDに比べて小さくなる可能性がある。

【0164】このため、前記実施の形態4の画素回路を構成する電圧増幅回路29のn型TFT25のゲート端子の直前に、別のインバータ回路を設けることが好ましい。しかし、この場合、この別のインバータ回路も含めると画素を構成するTFTの数が増えるので、図11に示すように、より少ないTFTで電圧増幅回路36を構成することが好ましい。

【0165】図11は、本実施の形態の表示装置の各画素の画素回路構成を示すものである。同図に示すように、画素回路は、電圧増幅回路（アンプ回路、バッファ回路）36の入力端子として、p型TFT30とn型TFT34とからなる第3のインバータ回路を構成するp型TFT30のゲート端子と、n型TFT70のゲート端子と、n型TFT33とp型TFT70とp型TFT31とからなる第1のインバータ回路を構成するn型TFT33のゲート端子とが配置されている。この第3のインバータ回路を構成するp型TFT30のソース端子は電源配線VCCに接続され、ドレイン端子はn型TFT34のソース端子に接続されている。n型TFT34のドレイン端子はGND配線に接続されている。このことにより、その第3のインバータ回路の出力は電源電圧VCCとGNDの間の振幅を持つ。

【0166】また、この第1のインバータ回路のn型TFT33にはp型TFT70とp型TFT31が、（ソース・ドレイン端子を用いて）直列に接続されている。このp型TFT70のゲート端子には低電圧側の電源配線VCCが接続され、p型TFT31のソース端子には高電圧側の電源配線VDDが接続されている。また、このp型TFT31のゲート端子には第2のインバータ回路の出力端子が接続されており、ドレイン端子はGND配線に接続されている。

【0167】このような構成を取ることで、第2のインバータ回路を構成するp型TFT32のゲート端子にはp型TFT70のゲート端子電圧で制限された電位が印加される。

【0168】第2のインバータ回路はp型TFT32とn型TFT35が（ソース・ドレイン端子を用いて）直列に接続されている。このp型TFT32のソース端子には高電圧側の電源配線VDDが接続され、そのゲート端子には第1のインバータ回路の出力端子が接続されている。また、n型TFT35のゲート端子には第3のインバータ回路の出力端子が接続され、ドレイン端子はGND配線に接続されている。

【0169】このような構成を取ることで、第2のインバータ回路を構成するn型TFT35のゲート端子には第3のインバータ回路の出力（VCC/GND）が印加される。

【0170】この結果、図11の電圧増幅回路36の電圧増幅能力は増強され、図9の電圧増幅回路29より大きな値となる。

【0171】前記電圧増幅回路36の動作を以下に説明する。電圧増幅回路36の入力端子がGND電位に近い電位るとき、第3のインバータ回路の出力は電位VCCとなる。また、第1のインバータ回路を構成するn型TFT33は非導通状態となる。

【0172】この結果、第2のインバータ回路を構成するn型TFT35のゲート端子には電位VCCが、p型TFT32のゲート端子にはGND電位より高い電位が印加され、相対的にp型TFT32よりn型TFT35の導通抵抗が低くなるので、第2のインバータ回路の出力はGND電位へ向かう。

【0173】そして、この電位が第1のインバータ回路を構成するp型TFT31のゲート端子へ印加されるので、p型TFT31が導通状態となり第2のインバータ回路の出力は電位VDDへ向かう。その結果、電圧増幅回路36の出力はGND電位で安定する。

【0174】また、電圧増幅回路36の入力端子がVCC電位に近い電位るとき、第3のインバータ回路の出力はGND電位となる。また、第1のインバータ回路を構成するn型TFT33は導通状態となる。p型TFT31が導通状態でも、間にゲート電圧が電位VCCで制限されたp型TFT70が入っているため、第1のインバータ回路の出力電位はGND電位へ向かう。

【0175】この結果、第2のインバータ回路を構成するn型TFT35のゲート端子にはGND電位が印加されn型TFT35は非導通状態となる。また、p型TFT32のゲート端子にもGND電位に近い電位が印加され、p型TFT32は導通状態となる。その結果、第2のインバータ回路の出力は電位VDDへ向かう。

【0176】そして、この電位が第1のインバータ回路を構成するp型TFT31のゲート端子へ印加されるので、p型TFT31が非導通状態となり第2のインバータ回路の出力はGND電位で安定する。その結果、電圧増幅回路36の出力は電位VDDで安定する。

【0177】なお、図11に示す画素回路においては、電圧増幅回路36の出力はn型TFT28を通して、p型TFT30とn型TFT34とから構成される第3のインバータ回路の入力端子に戻っている。

【0178】このことにより、本実施の形態の画素回路においては、バッファ回路としての機能をも果たす電圧増幅回路36の出力は、電位保持手段であるコンデンサ17～20の出力端子へ正極性電圧で戻される構成となっている。

【0179】〔実施の形態6〕本発明のさらに他の実施の形態として、複数の画素に対して1つのバッファ回路が対応する場合について、図12および図13に基づいて以下に説明する。図12に、本実施の形態の表示方法に用いられる表示装置の画素回路の構成を示す。

【0180】本実施の形態の表示装置の画素回路は、前記実施の形態1において図1を用いて説明した画素回路の構成を基本として、2つの画素 A_{ij} 、 A_{i+1j} に対して1つのバッファ回路が対応した構成である。図12に示すように、2つの画素 A_{ij} 、 A_{i+1j} の電位保持手段を間接的に接続した、配線 G_{iIO} および G_{i+1IO} とバッファ回路50の入力端子とが、p型TFT48およびn型TFT49を介して接続されている。このp型TFT48およびn型TFT49のゲート端子には、共通して制御配線 G_{iA} が接続されている。このため、制御配線 G_{iA} が正選択電位： V_{gh} のときn型TFT49が導通状態となり、負選択電位： V_{gl} のときp型TFT48が導通状態となる。

【0181】すなわち、図13に示すように、画素 A_{ij} の選択期間（図13の② G_i が電位 V_{gh} の期間）において、制御配線 G_{iA} を正選択電位： V_{gh} （図13の③ G_{iA} ）として、バッファ回路50を画素 A_{i+1j} 側の G_{i+1IO} へ接続し、画素 A_{ij} へ表示させるべき4bitの階調データをデータ配線（図13の① S_j ）へ転送させる。

【0182】そして、その選択期間において、制御配線 $G_{i+1bit2,1}$ の電位を（④ $G_{i+1bit2}$ の電位、③ $G_{i+1bit1}$ の電位）の順に表すと、その組み合わせが（負選択電位： V_{gl} 、負選択電位： V_{gl} （以下、「0」と示す））、（負選択電位： V_{gl} 、正選択電位： V_{gh} （以下、「1」と示す））、（正選択電位： V_{gh} 、負選択電位： V_{gl} （以下、「2」と示す））、（正選択電位： V_{gh} 、正選択電位： V_{gh} （以下「3」と示す））のように変化させる。これにより、前記「0」「1」「2」「3」に対応する期間にデータ配線（図13の① S_j ）へ転送されている画素 A_{ij} で表示すべき4bitの階調データをコンデンサ17～20へ蓄えることができる。

【0183】次に、画素 A_{i+1j} の選択期間（図13の⑤ G_{i+1} が電位 V_{gh} の期間）において、制御配線 G_{iA} を負選択電位： V_{gl} （図13の③ G_{iA} ）として、バッファ回路50を画素 A_{ij} 側の配線 G_{iIO} へ接続させ、画素 A_{i+1j} へ表示させるべき4bitの階調データをデータ配線（図13の① S_j ）へ転送させる。そして、その選択期間において、制御配線 $G_{i+1bit2}$ 、制御配線 $G_{i+1bit1}$ の電位（図13の⑦、⑥）を、「0」「1」「2」「3」と変化させることで、対応する期間にデータ配線（図13の① S_j ）へ転送されている画素 A_{i+1j} で表示すべき4bitの階調データをコンデンサ17～20へ蓄える。

【0184】また、この期間すなわち画素 A_{i+1j} の選択期間で、画素 A_{ij} では制御配線 G_{iRW} を非選択電位： V_{gl} （図13の④ G_{iA} ）、制御配線 $G_{i+1bit2,1}$ （同図の④、③）の電位を前記「3」とし、コンデンサ20（図12参照）に蓄えられた電位をバッファ回路50に入力させ、引き続いて制御配線 G_{iRW} を選択電位： V_{gh} としてバッファ回路50の出力電位でコンデンサ20を再充電させるとともに、電気光学素子をコンデンサ20に蓄えられた2値電位に基づき表示させる。

【0185】次に、画素 A_{ij} 、 A_{i+1j} がともに非選択期間（図13の② G_i 、⑤ G_{i+1} が共に電位 V_{gh} の期間）において、制御配線 G_{iA} を正選択電位： V_{gh} （図13の③ G_{iA} ）として、バッファ回路50を画素 A_{i+1j} 側の配線 G_{i+1IO} へ接続させる。この期間で、 $G_{i+1bit2,1}$ （図13の⑦、⑥）の電位を「3」とし、コンデンサ20に蓄えられた電位をバッファ回路50の出力電位でコンデンサ20に再充電させると共に、電気光学素子をコンデンサ20に蓄えられた2値電位に基づき表示させる。

【0186】以下、制御配線 $G_{i+1bit2,1}$ 、 $G_{i+1bit2,1}$ の電位を「2」「1」「0」等に変化させて、前記「3」の場合について説明した操作と同様な操作を行う。

【0187】以上のように、バッファ回路と各画素の配線 G_{iIO} との間にTFTを配置し、複数の画素回路毎にバッファ回路を対応させることにより、各画素により多くのメモリ素子を配置することができる。

【0188】このため、実施の形態1において説明した図1の画素回路の構成に比較して、図12に示す本実施の形態の画素回路の構成のほうが、より小さな画素により同等の階調表示を実現させたり、同一サイズの画素により多くの階調表示を実現させたりすることができるため、非常に高い効果を得ることができる。

【0189】なお、本発明の表示装置は、第1の配線と第2の配線の交差部に対応してマトリクス状に配置された電気光学素子と、前記電気光学素子に対応し、電位保持手段を配置し、前記電位保持手段に対し、その電位を入力とし正極性で出力するバッファ回路を配置し、前記電気光学素子に対し電位保持手段が複数ある場合、前記電位保持手段に対応し前記電気光学素子と前記電位保持手段の間に第1のスイッチング素子を配置し、前記電位保持手段と前記第1の配線の間に前記第2の配線により、その導通状態が制御される第2のスイッチング素子を配置し、前記バッファ回路の出力端子と前記電位保持手段の出力端子を直接または第3のスイッチング素子を通して間接的に接続してなる第1の表示装置として構成されていてもよい。

【0190】また、前記第1の表示装置は、前記第2のスイッチング素子が導通状態のとき、前記第1の配線の

電位に対応して前記電位保持手段の電位を設定し、前記第2のスイッチング素子が非導通状態のとき、前記電位保持手段の電位を前記バッファ回路の入力端子へ印加し、その入力電圧により設定された前記バッファ回路の出力電圧により、前記電位保持手段を再充電し、前記電位保持手段または前記バッファ回路の出力に対応して、前記電気光学素子の表示状態を制御するものであってもよい。

【0191】また、前記電位保持手段が複数ある場合、前記第2のスイッチング素子が非導通状態のとき、前記第1のスイッチング素子を用い複数の電位保持手段から1つの電位保持手段を選択し、その選択された電位保持手段の電位を前記バッファ回路の入力端子へ印加し、その入力電圧により設定された前記バッファ回路の出力電圧により、前記選択された電位保持手段を再充電し、前記第1のスイッチング素子を用い前記バッファ回路へ入力する電位保持手段を時間的に切り替えることで、前記電気光学素子の表示状態を制御するものであってもよい。

【0192】また、前記第1の表示装置は、前記アクティブ素子の出力端子と入力端子の間に第3のスイッチング素子を配置する場合、前記第3のスイッチング素子が非導通状態のとき、前記第1のスイッチング素子を用いて前記バッファ回路へ入力させる電位保持手段を切り替え、前記バッファ回路の出力端子の電位が、前記入力端子の電位により設定された後に、前記第3のスイッチング素子を導通状態とするものであってもよい。

【0193】また、前記第1の表示装置は、前記第2のスイッチング素子を導通状態としている間に、前記電位保持手段の電位を2値的に設定すると共に、前記電気光学素子の表示状態を3値以上の値で設定し、前記第2のスイッチング素子を非導通状態としている間に、前記電気光学素子の表示状態を前記電位保持手段に設定された2値電位に対応した状態に設定し直すものであってもよい。

【0194】また、前記第1の表示装置は、前記バッファ回路の入力電圧に対応して、前記電気光学素子へ印加される電圧が、前記バッファ回路の入力電圧より振幅が大きいものであってもよい。

【0195】

【発明の効果】本発明の表示装置は、以上のように、電位保持手段が前記各電気光学素子に対して複数配置されており、前記複数の電位保持手段の出力端子とバッファ回路の出力端子とが接続された構成において効果を発揮するものである。

【0196】それゆえ、ダイナミック型メモリ素子の構成を用いてスタティック型メモリ素子と同等の表示ができるため、同じTFTの個数を用いてもより多くの電位保持手段を画素に配置することが可能となる。これにより、少ない数のTFTにより構成された、画素回路の規

模が小さい表示装置を提供することができるという効果を奏する。また、画素に必要な数のメモリを配置することにより、ドライバ回路の規模の小さい表示装置を提供することができるという効果を奏する。

【0197】また、前記バッファ回路の入力端子と出力端子との間に第3のスイッチング素子が配置されていてもよい。

【0198】これにより、バッファ回路の出力電位によるバッファ回路の入力電位への影響を防ぐことができるという効果を奏する。

【0199】また、本発明の表示装置の第1のスイッチング素子は、第3のスイッチング素子が非導通状態のときに、前記複数の電位保持手段を切り替えるものであり、前記バッファ回路は、前記第3のスイッチング素子が非導通状態のときに、該バッファ回路の入力端子の電位により該バッファ回路の出力端子の電位を設定するものであり、前記第3のスイッチング素子は、前記バッファ回路の出力端子の電位が設定されたことに応じて導通状態とされるものであってもよい。

【0200】これにより、バッファ回路の出力電位によるバッファ回路の入力電位への影響を防ぎつつ、メモリ素子である電位保持手段1個すなわちメモリ素子1bitあたりのTFTの個数を減らすことができるという効果を奏する。

【0201】また、本発明の表示装置の前記バッファ回路は、入力電圧の振幅を増幅して出力するものであり、前記第3のスイッチング素子のゲート電圧の振幅が前記バッファ回路の出力電圧の振幅よりも小さいものであってもよい。

【0202】これにより、データ配線やゲート配線の電圧をより小さくでき、それら配線をチャージUP/DOWNすることによる消費電力を抑えられる。このため、表示装置の消費電力を低く抑えつつ、電位保持手段により入力された電圧の振幅をバッファ回路により増幅させて、前記電気光学素子の必要な振幅の電圧として出力することができるという効果を奏する。

【0203】また、本発明の表示装置は、以上のように、前記第1の配線と前記第2の配線との交差部に、前記バッファ回路の電源配線間を容量性結合する容量性結合手段が設けられていることが好ましい。

【0204】例えば、上記バッファ回路の電源配線間に必要配線幅より広い配線を施すことにより、定量性結合手段としてのコンデンサを形成することができる。このように画素にコンデンサを形成することで、バッファ回路やインバータ回路の出力状態が変化するときに必要な電荷を、画素に配置したコンデンサから供給し、電源配線から供給すべき電荷を減らすことが可能となる。

【0205】このことにより、電源配線へ供給する電荷が変動した時に発生するノイズの発生を抑え、バッファ回路やインバータ回路の誤動作や、電気光学素子へ印加

される電位の変動を抑え、表示品位の劣化を低減するという効果を奏する。

【0206】本発明の表示方法は、以上のように、前記表示装置を用いた表示方法であって、電位設定ステップと、再充電ステップと、第1の表示状態制御ステップとを含んでなるものである。

【0207】それゆえ、ダイナミック型メモリ素子の構成を用いてスタティック型メモリ素子と同等の表示ができるため、少ない数のTFTにより構成された、ドライバ回路の規模が小さい表示装置により階調表示を行うことができるという効果を奏する。

【0208】本発明の表示方法は、以上のように、電位保持手段選択ステップと、再充電ステップと、第2の表示状態制御ステップとを含んでなるものである。

【0209】それゆえ、表示を行うことにより画素に配置した複数の電位保持手段を更新することができるため、リフレッシュ動作等の余計な動作が不要となる。このため、少ない数のTFTにより構成された、表示画面の周辺に配置されるドライバ回路の規模が小さい表示装置を用いて階調表示を行うことができるという効果を奏する。

【0210】また、本発明の表示方法は、以上のように、表示状態設定ステップと、表示状態再設定ステップとを含むものである。

【0211】それゆえ、画素に配置した電位保持手段の数以上のbit数で階調表示をすることができるという効果を奏する。

【図面の簡単な説明】

【図1】実施の形態1の表示装置の各画素部の画素回路の構成を示す回路図である。

【図2】実施の形態1の表示装置の概略の構成を示す説明図である。

【図3】実施の形態1の表示装置を用いた表示方法における、電気回路の動作を説明するための、表示装置におけるデータ配線、ゲート配線および制御配線の波形図である。

【図4】動画偽輪郭の発生原理を説明するための概念図であり、(a)は上位bitを分割表示しない場合を示し、(b)は上位bitを分割表示する場合を示している。

【図5】実施の形態1の表示装置の各画素部の図1とは異なる画素回路の構成を示す回路図である。

【図6】実施の形態2の表示装置を用いた表示方法における、電気回路の動作を説明するための、表示装置におけるデータ配線、ゲート配線および制御配線の波形図である。

【図7】実施の形態3の表示装置の各画素部の画素回路の構成を示す回路図である。

【図8】実施の形態3の表示装置を用いた表示方法における、電気回路の動作を説明するための、表示装置にお

けるデータ配線、ゲート配線および制御配線の波形図である。

【図9】実施の形態4の表示装置の各画素部の画素回路の構成を示す回路図である。

【図10】実施の形態4の表示装置の各画素部の図9とは異なる画素回路の構成を示す回路図である。

【図11】実施の形態5の表示装置の各画素部の画素回路の構成を示す回路図である。

【図12】実施の形態6の表示装置の各画素部の画素回路の構成を示す回路図である。

【図13】実施の形態6の表示装置を用いた表示方法における、電気回路の動作を説明するための、表示装置におけるデータ配線、ゲート配線および制御配線の波形図である。

【図14】従来の表示装置の概略的構成を示すブロック図である。

【図15】図17の表示装置における各画素部の構成を詳細に示す回路図である。

【図16】他の従来の表示装置における各画素部の構成を示す図である。

【図17】図16の表示装置におけるメモリセルの構成を詳細に示す回路図である。

【図18】実施の形態1の表示装置の有機多層膜を構成する化合物の構造を説明する説明図であり、(a)は電子輸送層として用いられるAlqの構造を示す説明図であり、(b)は発光層としてのAlqのドーパントとして用いられるZn(oxz)₂の構造を示す説明図であり、(c)は発光層としてのAlqのドーパントとして用いられるDCMの構造を示す説明図であり、(d)は正孔輸送層として用いられるTPDの構造を示す説明図であり、(e)は正孔入層として用いられるCuPcの構造を示す説明図である。

【図19】図1の画素回路の電気光学素子として用いる有機ELの代わりに、液晶を用いた場合の各画素の画素回路の構成を示す回路図である。

【図20】実施の形態1の表示装置の電気光学素子として有機ELを用いる場合の各画素の画素回路の構成を示す、図1とは別の回路図である。

【図21】図20の画素回路の構成をTFT回路としたレイアウト構成を示すレイアウト図である。

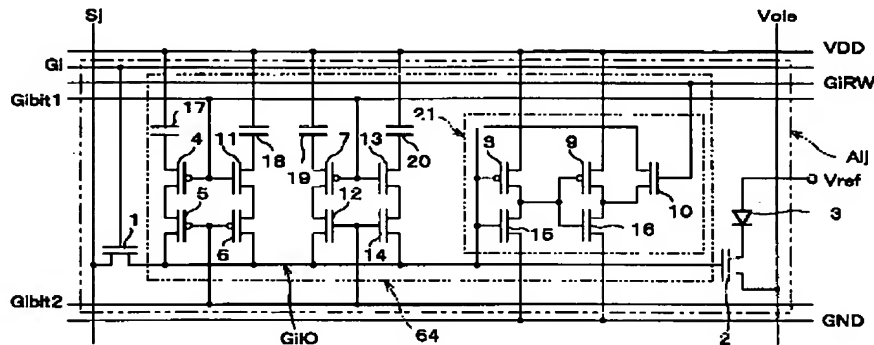
【符号の説明】

- 1 n型TFT (第2のスイッチング素子)
- 2 n型TFT (電気光学素子)
- 3、4 2 有機EL素子 (電気光学素子)
- 4、5、6、7 p型TFT (第1のスイッチング素子)
- 10、28 n型TFT (第3のスイッチング素子)
- 11、12、13、14 n型TFT (第1のスイッチング素子)
- 17、18、19、20 コンデンサ (電位保持手段)

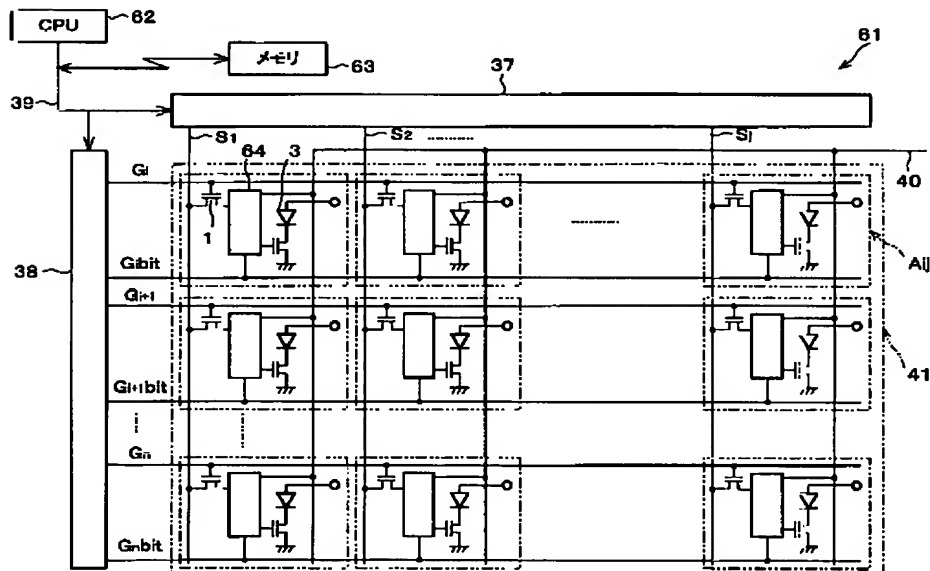
21、51 バッファ回路
 29、36 電圧増幅回路（バッファ回路）
 70、71、86、89、90 n型TFT
 91 n型TFT（第3のスイッチング素子）
 74～79 n型TFT（第1のスイッチング素子）
 72、87、88 p型TFT
 73 液晶素子

80～85 コンデンサ（電位保持手段）
 92 コンデンサ（容量性結合手段）
 93 アンプ回路（バッファ回路）
 S_j データ配線（第1の配線）
 G_i ゲート配線（第2の配線）
 G_iB1～G_iB6 制御配線
 VDD 電源配線

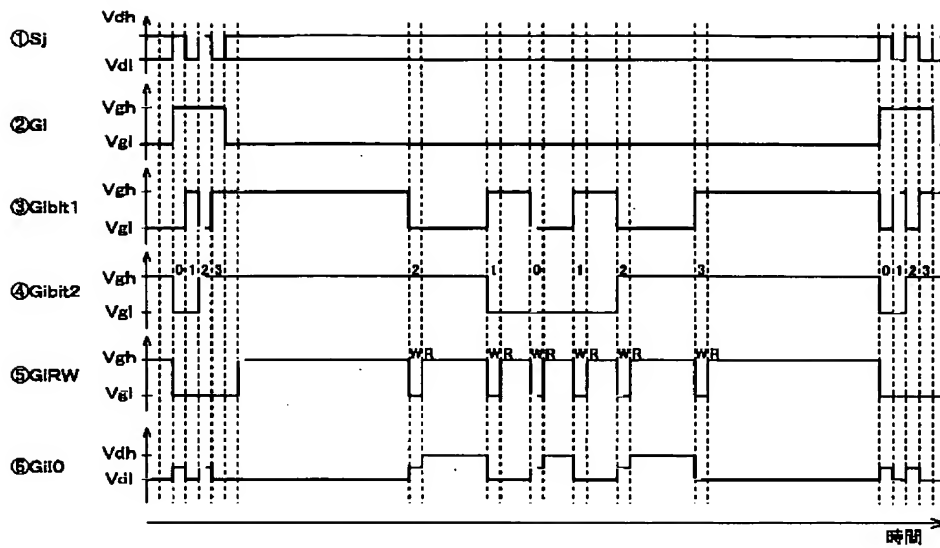
【図1】



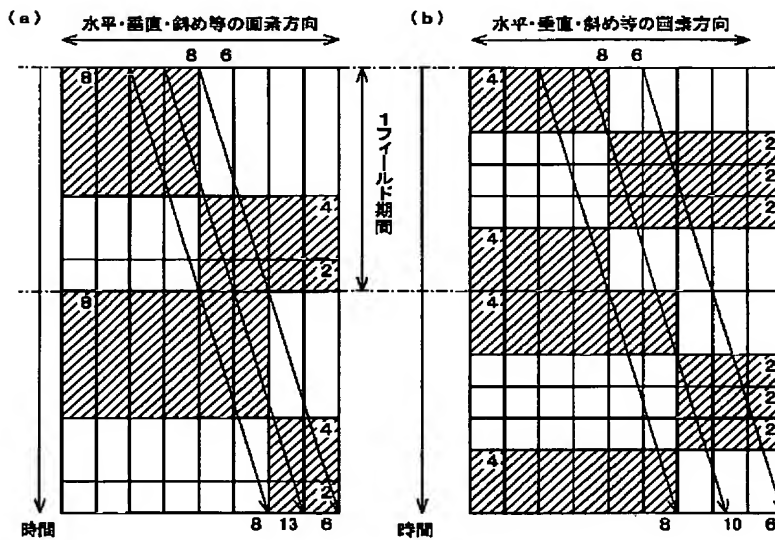
【図2】



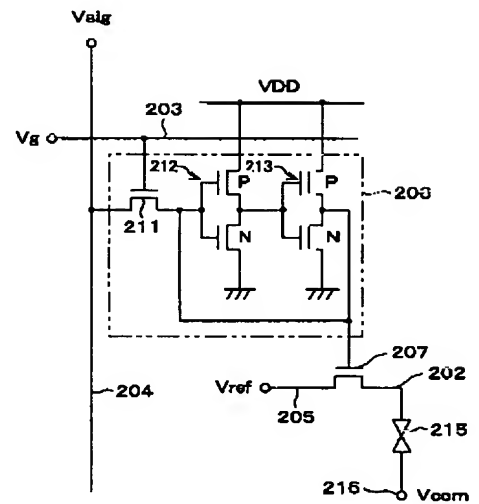
【図3】



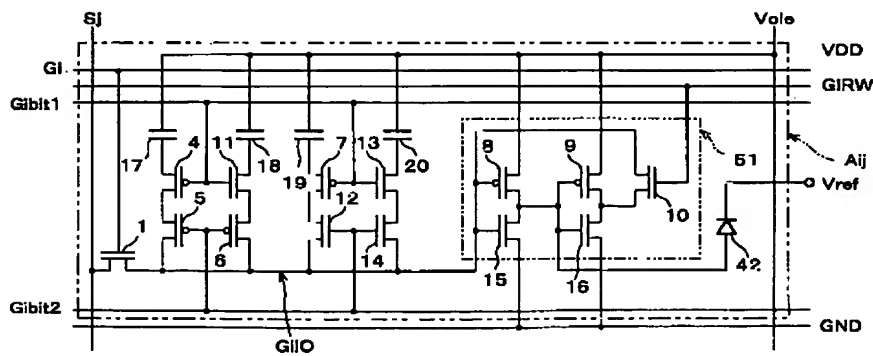
【図4】



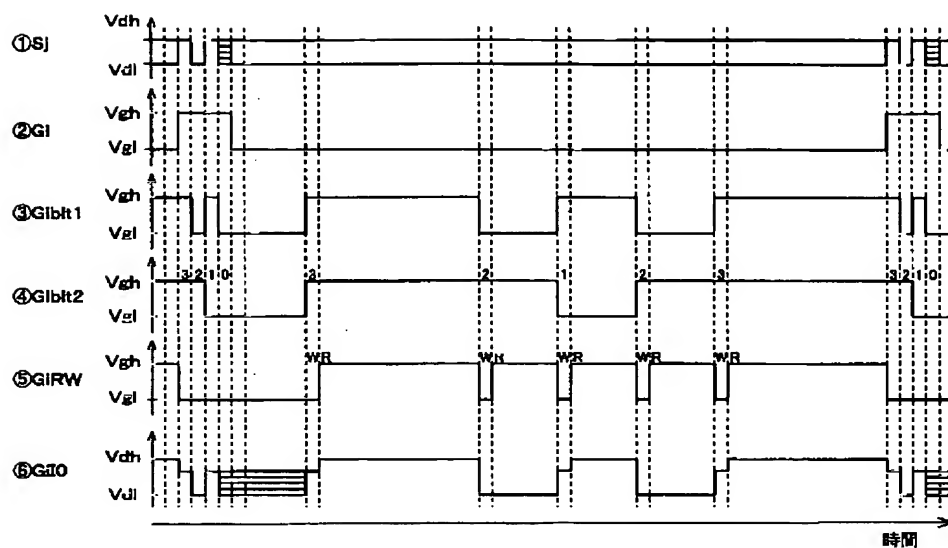
【図15】



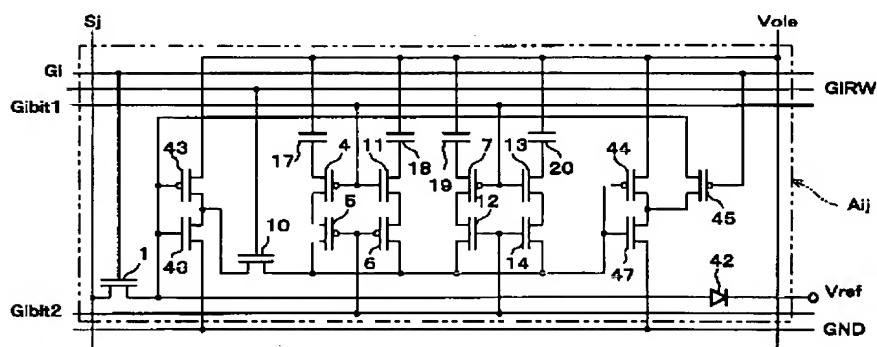
【図5】



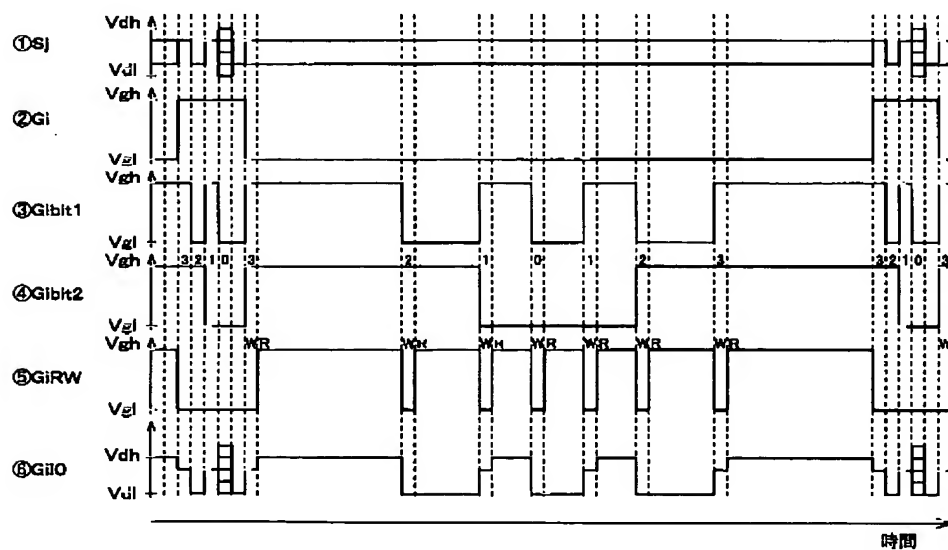
【図6】



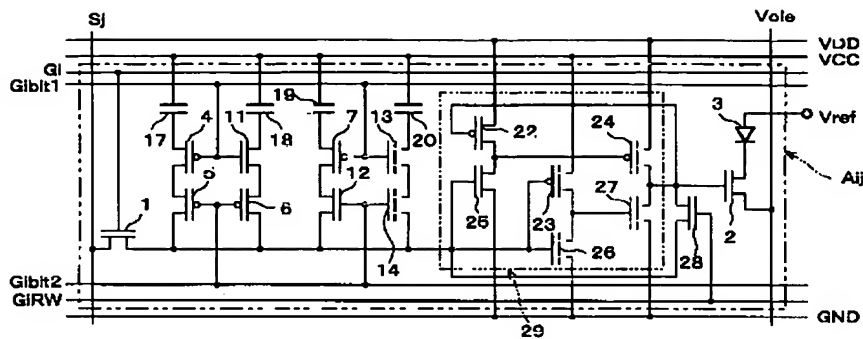
【図7】



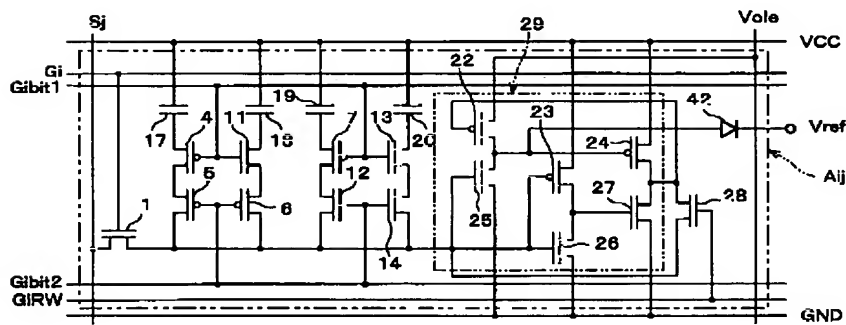
【図8】



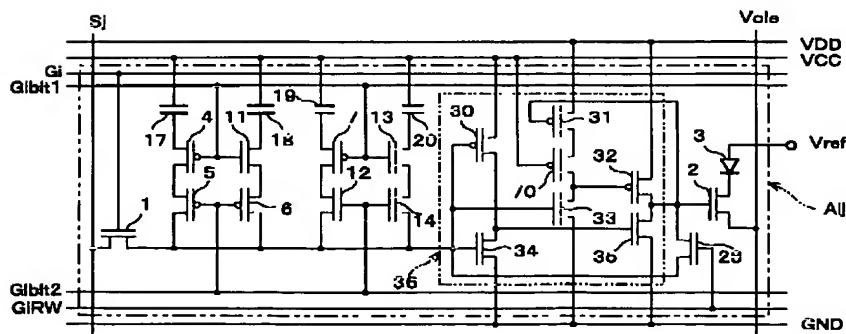
【図9】



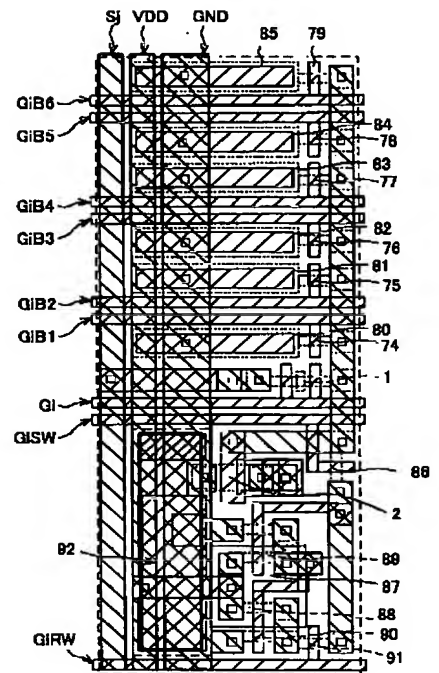
【図10】



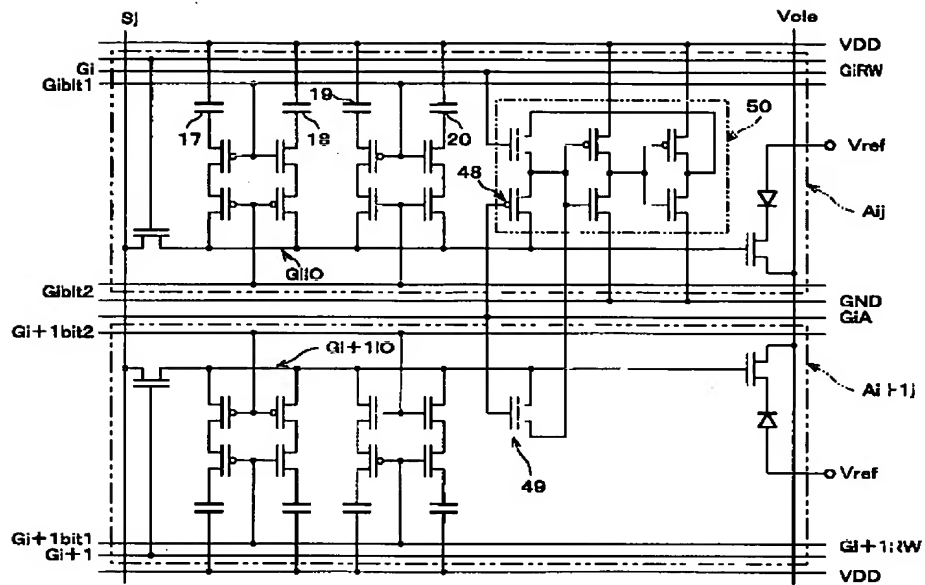
【図11】



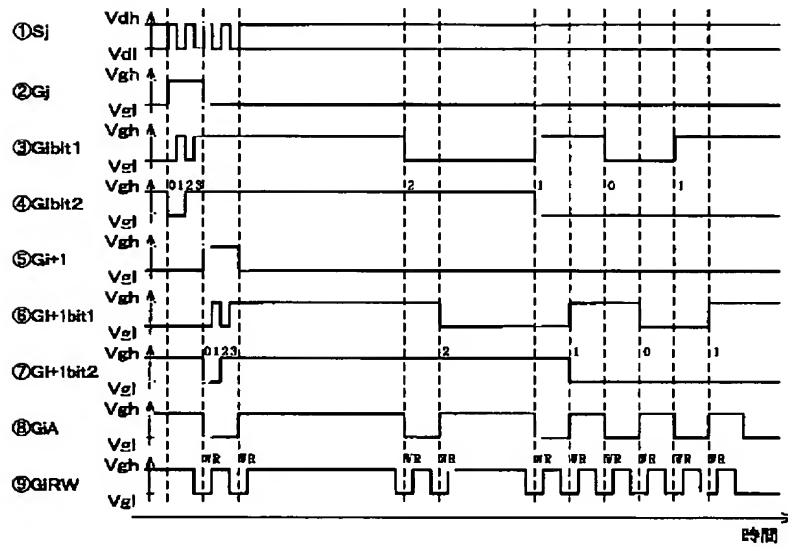
【図21】



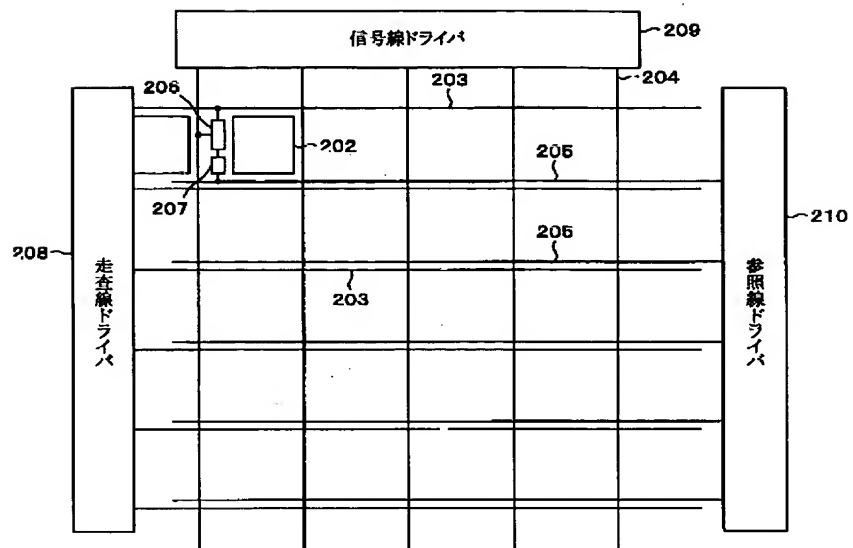
【図12】



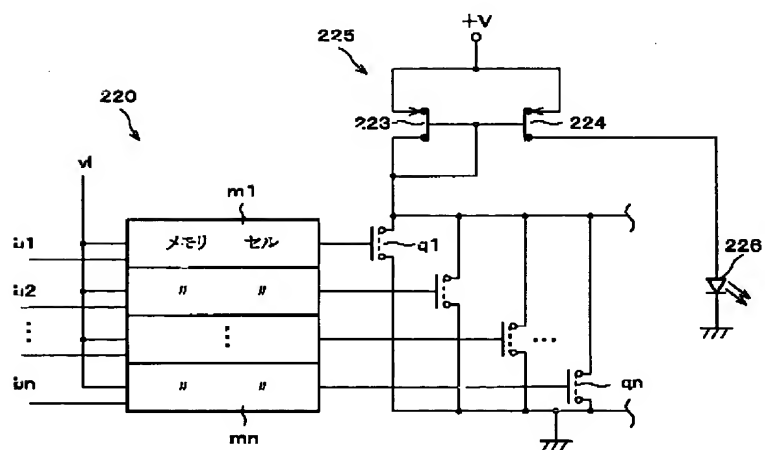
【図13】

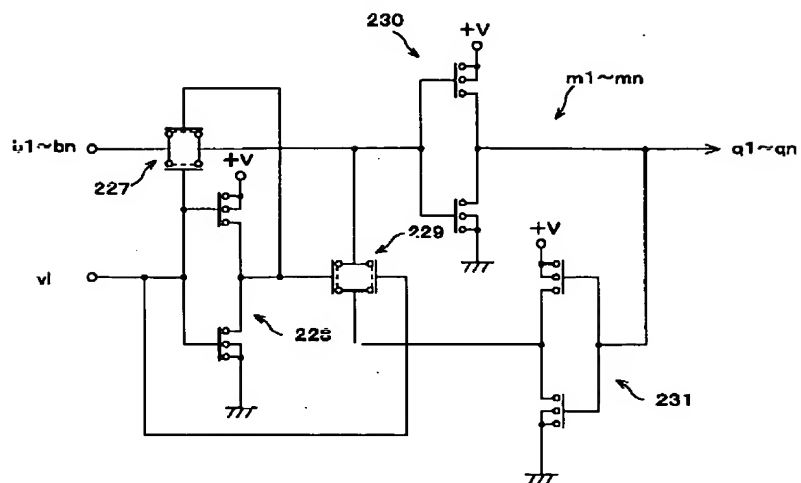


【図14】

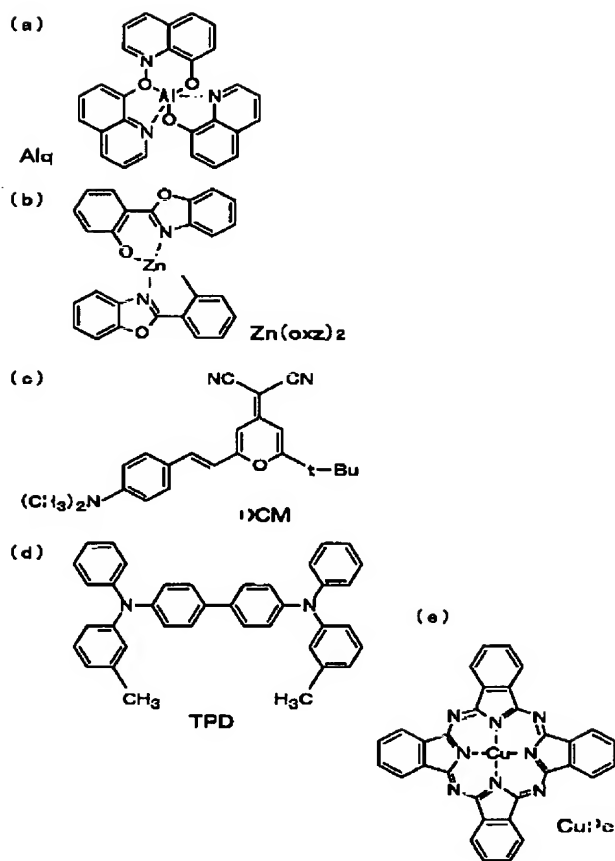


【図16】

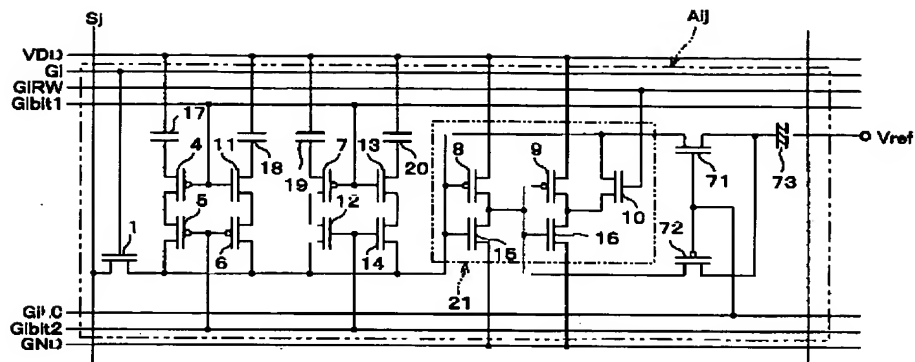




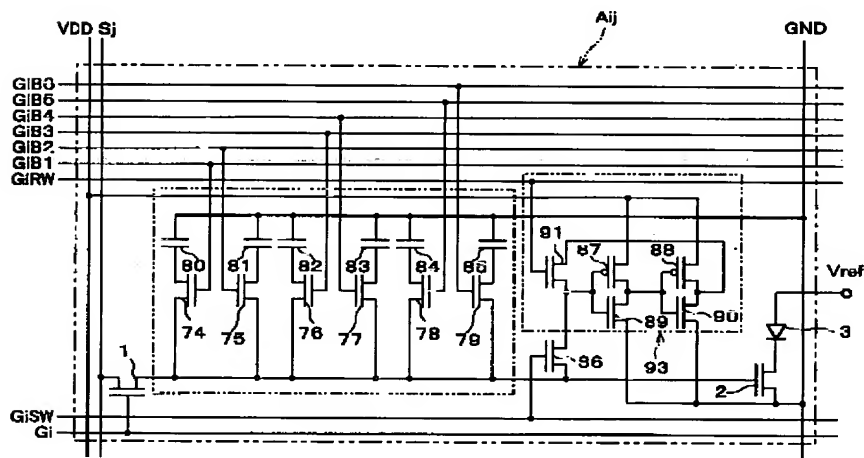
【图18】



【図19】



【図20】



フロントページの続き

| (51) Int. Cl. ⁷ | | 識別記号 | F I | (参考) |
|----------------------------|-------|-------|---------------|-------------------|
| G 0 9 F | 9/30 | 3 6 5 | G 0 9 F 9/30 | 3 6 5 Z 5 C 0 9 4 |
| | 9/35 | | | |
| G 0 9 G | 3/20 | 6 1 1 | G 0 9 G 3/20 | 6 1 1 A |
| | | 6 2 4 | | 6 2 4 B |
| | | 6 4 1 | | 6 4 1 C |
| | 3/30 | | | J |
| H 0 5 B | 33/14 | | H 0 5 B 33/14 | A |

Fターム(参考) 2H092 HA02 JA24 JA37 JA41 JB22
JB31 LA11 NA25 NA26 PA01
PA06
2H093 NA16 NA22 NA41 NA51 NC22
NC26 NC34 NC41 ND39 ND42
NE01 NE03 NE07 NE10 NH15
3K007 AB04 AB17 DB03 GA04
5C006 AA01 AA02 AA16 AF69 BB16
BC03 BC06 BC11 BC20 EB05
FA47
5C080 AA06 AA10 BB05 DD03 DD26
EE29 FF11 JJ02 JJ03 JJ04
JJ06
5C094 AA15 AA43 AA45 AA53 BA03
BA27 BA45 CA19 CA25 DB01
EA04 EA07